

OPTICAL ELEMENT AND OPTICAL BUS, AND OPTICAL INTERPROCESSOR COUPLED NETWORK USING THEM

Patent number: JP5152608
Publication date: 1993-06-18
Inventor: BABA SHINICHI; NAKAMURA MASARU; KOYANAGI SHIGERU; TANABE NOBORU; SEKIDO KAZUNORI; UENISHI KATSUJI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
 - international: **H01L31/12; H01L33/00; H04B10/02; H04Q11/00; H01L31/12; H01L33/00; H04B10/02; H04Q11/00;** (IPC1-7): H01L31/12; H01L33/00; H04B10/02
 - european: H04Q11/00P1
Application number: JP19910291646 19911107
Priority number(s): JP19910291646 19911107; JP19910159209 19910629; JP19910252631 19910930

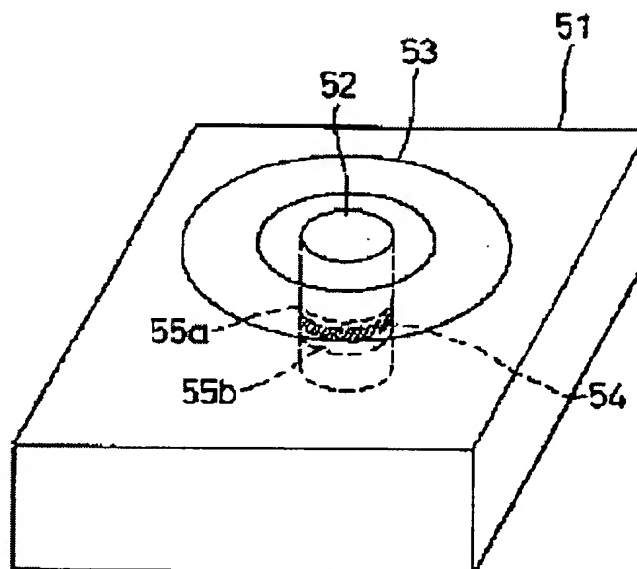
Also published as:

 US5488735 (A)

Report a data error he

Abstract of JP5152608

PURPOSE:To obtain an optical interprocessor coupled network capable of high-speed connective switching, by providing a substrate, a light emitting element provided therein, and a concentric-type light receiving element surrounding it. **CONSTITUTION:**A light receiving element 53 surrounds the periphery of a light emitting and transmitting element 52 in the central part of a semiconductor substrate 51, and the light receiving element 53 converts an incident light from its bottom surface into the electrical signal to emit a light from the top surface of the light emitting and transmitting element 52. The central part comprises a multilayer structure, and therein, has an active layer 54, and the upper and lower layers 55a, 55b thereof are controlled to perform light emitting and receiving functions. The concentric-type light receiving element 53 having a multilayer photodiode structure too can be provided with an electrode in its uppermost layer, and has the wide light receiving range for 100μm in each direction, and a diffracted light having a wide emitting angle is emitted from an outgoing port. Therefore, by constituting an optical bus using the device comprising the light emitting/receiving elements arrayed in the form of a matrix and making an inter-substrate transferring frequency high using an integration and increasing the number of inter-substrate wirings to increase the number of connective substrates, the highly dense configuration of a coupled network is made possible.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-152608

(43) 公開日 平成5年(1993)6月18日

(51) Int. Cl. ⁵	識別記号	F I
H01L 33/00	H 8934-4M	
31/12	G 7210-4M	
H04B 10/02	8426-5K	H04B 9/00 T

審査請求 未請求 請求項の数7 (全24頁)

(21) 出願番号	特願平3-291646	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成3年(1991)11月7日	(72) 発明者	馬場 伸一 神奈川県川崎市幸区小向東芝町1 株式会 社東芝総合研究所内
(31) 優先権主張番号	特願平3-159209	(72) 発明者	中村 優 神奈川県川崎市幸区小向東芝町1 株式会 社東芝総合研究所内
(32) 優先日	平3(1991)6月29日	(72) 発明者	小柳 滋 神奈川県川崎市幸区小向東芝町1 株式会 社東芝総合研究所内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 三好 秀和 (外4名)
(31) 優先権主張番号	特願平3-252631		
(32) 優先日	平3(1991)9月30日		
(33) 優先権主張国	日本 (J P)		

最終頁に続く

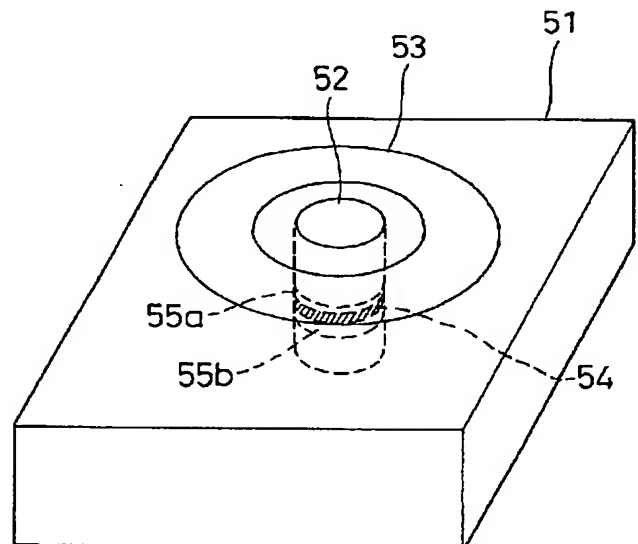
(54) 【発明の名称】 光素子および光バス、およびこれらを用いた光学式プロセッサ間結合網

(57) 【要約】

【目的】 光学的並列プロセッサ間結合バスと光デバイス結合網の構築。

【構成】 垂直に基板を貫く光ビーム束で構成し、光の曲折点に配したレンズでビームを絞り、基板の両端を光ファイバーアレイで接続する並列リングバスで制御メモリ内の調停済み結合パターンによる切換が可能。送信、中継、受信素子群中には機能を兼ね、増幅機能を有すデータ受信、中継素子を備え、複数の受光ビームからビームを選択し、位置送信制御側プロセッサに対応させる光素子構成された並列光リングバス。複数の受信素子の下に帯状受光素子、導波路型集約器を配し、導波路、レンズ、ファイバーを光セル位置に対応接置構成光デバイス。

【効果】 基板間配線制御を大幅に緩和し、クロスバ・スイッチに近いプロセッサ間の密な結合と高い転送速度を有す並列計算機プロセッサ間結合網を構築。



【特許請求の範囲】

【請求項 1】 基板と、
この基板に設けられた発光素子と、
前記基板の発光素子の周囲に設けられた同心円状の発光素子と、
を具備したことを特徴とする光素子。

【請求項 2】 複数のボード間を光信号によって通信するための光バスであって、
前記複数のボードにマトリクス状に配置され、光信号の送受信を行う複数の光素子と、
他のボードから送信された光信号を前記光素子を介して受信した自己のボードに取り込む受信部と、
自己のボードで発生した信号を前記光素子を介して他のボードへ送信する送信部とを具備することを特徴とする光バス。

【請求項 3】 前記光素子は受光素子と発光素子とを具備し、
前記マトリクス状各行の前記受光素子を前記ボード上の複数のマイクロプロセッサの入力端子に対応付けて接続し、前記マトリクス状各列の前記発光素子を前記マイクロプロセッサの出力端子に対応付けて接続し、前記各ボード上の複数のプロセッサ間で通信するようにした請求項 4 記載の光バス。

【請求項 4】 表面で受光した光信号を裏面から出力可能な光デバイス有する複数の基板間で、光信号による情報伝達を行なう光学式プロセッサ間結合網において、前記各基板上の光デバイスは、同一の光通路に配設されることを特徴とする光学式プロセッサ間結合網。

【請求項 5】 面型光素子のアレイを具備し受光した情報をデバイスの裏面から出力可能な光デバイスを、基板面に垂直な方向に光が通過できる基板領域に搭載し、第一の光デバイスの所定の位置の面型光素子から入力光ビームの位相、波長、強度の少なくともいずれか 1 つを第一の光デバイスへの入力情報により制御されるバイアス印加により変調した光ビームをして出力し、第二の光デバイスの所定の位置にある受光素子で受光しつつ第三の光デバイスに向けて光ビームを出力するという様式の繰り返しで形成される光ビームの束を、第一の光デバイスに戻るように導くことにより光リングバスを形成し、この光リングバスを用いてプロセッサ間通信を実現することを特徴とする光学式プロセッサ間結合網。

【請求項 6】 前記光デバイスは、第一の光デバイスからの光ビームを第三の光デバイスに通過させる第二の光デバイスの中継用素子と、第二の光デバイスへの入力情報に基づいて光ビームの位相、波長、強度の少なくともいずれか 1 つの変調する第二の光デバイスの送信用素子と、メッセージを第二の光デバイスに取り込む口となる受信用素子からなるセルのアレイを具備する請求項 7 記載の光学式プロセッサ間結合網。

【請求項 7】 前記光デバイスは、第一の光デバイスか

らの光ビームを第三の光デバイスに通過させる第二の光デバイスの中継用素子と、第二の光デバイスへの入力情報に基づいて位相、波長、強度の少なくともいずれか 1 つを変調する送信用素子を具備する請求項 7 記載の光学式プロセッサ間結合網。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光素子及び超並列コンピュータにおける複数のマイクロプロセッサ間の通信に供される光バス、そして、これらの光素子、光バスを用いて構築される光学式プロセッサ間結合網に関する。

【0002】

【従来の技術】 近年、半導体技術とアーキテクチャ等の研究により、コンピュータの処理能力の向上が図られている。そして、盛んに研究されている処理能力向上の手段の一つとして、複数のマイクロプロセッサを用いて並行的に処理を進める方法がある。最近では、数千～数万のマイクロプロセッサを並列に動作させる超並列コンピュータの実現が研究されている。しかし、多くのマイクロプロセッサを並列動作させる場合、マイクロプロセッサ間の通信路であるバスが問題となる。超並列コンピュータにおいてマイクロプロセッサは、その全てを 1 ボード上に配置することは物理的に困難であり、また配線上也不利なため、複数のボード上に分散して実装される。したがって異なるボード上のマイクロプロセッサ間においてもデータのやりとりがスムーズに行えるボード間のバスが重要となる。また、最近の高性能なマイクロプロセッサは動作速度も速く出力するデータも高速・大容量のものとなっているため、高性能な超並列コンピュータでは、バスも高速・大容量の通信が可能なものであることが必要となる。そのため、たとえば図 37 に示すようなバスが使用されている。このバスは隣合うボード 80、81 上のマイクロプロセッサ 82、83 のデータ入出力を導線 84 により配線したものである。しかしこの場合、ボード間の配線が大量になる、高速データ通信が困難、あるいは任意のマイクロプロセッサ間通信を行うためには、多くのマイクロプロセッサの中継が必要という大きな欠点があった。

【0003】 そして最近では電気的なバスの代わりに、ボード間配線の簡素化、高速通信可能という利点をもつ光通信を用いた光バスが超並列コンピュータを構成するのに適している。

【0004】 3 枚以上のボードからなる超並列コンピュータに使用される光バスを実現するには、データの送信を行うマイクロプロセッサが実装されているボードからの光信号は他のボードにおいて中継される必要がある。このような用途には光透過素子あるいは受光素子と発光素子を組み合わせた光素子が必要となる。そして、光素子を面型にアレイ化したデバイスを各基板で用いることにより、光バスによる超並列コンピュータを構成するこ

10

20

30

40

50

とができる。また、このような基板間光接続方式は、超並列コンピュータ以外にも大容量交換機のような大容量の通信を多く扱うシステムに適用できるものである。

【0005】このような特徴をもつ光素子は、これを集積化した面型光素子アレイの性能・実現性・使い易さを左右する重要な要素となる。現在までに光透過素子としては面型半導体レーザ増幅器が、発光素子と受光素子を同一半導体基板上に集積化したものとしては、図38に示すような発光素子85と受光素子86とを横に並べたような素子が研究されている。

【0006】図38の素子は、普通は素子上部からの光信号を受光しかつ素子上部へ光信号を出射するが、使い方により素子下部からの光信号の受光も可能なので前記面型光素子アレイの構成素子として使える。しかし、この横並び構造の素子により前記面型光素子アレイを構成すると、隣合うボードの発光部と受光部を対向させるために、図39に示すようにボード相互の位置をずらして配置するか、図40のようにデバイス上の素子の密度を減らし、かつ出射光88の放射角を広げることににより、素子相互の結合を行うかしなければならぬという問題がある。さらに、重要な問題点として、入射する光信号をそのまま出射光信号として透過させる光透過素子を用いた場合に、透過光が次のボード上にある面状発光・受光デバイス上の受光部に向かっていないため、複数ボード間での光バスの実現が困難である。

【0007】さらにアレイの入射側では隣の基板から発射された光信号は回折によりビーム径が広がるため、受光素子以外のところへも光信号が当たる。そして素子以外の場所に当たった光信号は、たとえば反射して隣の基板へ戻り、光透過素子や発光素子の特性を劣化させたり、あるいは、自基板内で光電子を励起し雑音として受光素子出力や発光素子の変調等に影響を与えてしまう。

【0008】また、従来においては、複数の基板からなるシステムの実装にはバックプレーン（マザーボード）やケーブルが使用されていた。しかし超並列計算機のように基板上に多数のプロセッサが搭載され、別の基板上のプロセッサと多数の通信路を設ける必要がある場合は、従来の方法では基板の一辺からバックプレーンやケーブルへ取り出せる信号線数に限界があるため、疎らな結合トポロジを用いたり、通信路のビット幅を落とすなどして配線数を減らすため、十分な通信性能を得られないことがあった。

【0009】また電氣的配線を行う場合、超並列計算機のような大規模なシステムにおける離れた基板との配線では、基板内部に比較してタイミング的制約が厳しく、ノイズの影響も受け易いので周波数を高速にすることは困難であった。そのため配線本数を多くして通信性能を確保する必要が生じたりするが、上記のようにあまり多くの電氣的配線をバックプレーンに出すことは困難である。ケーブルを用いて接続する場合はラインドライバが

大量に必要ななど高密度実装と消費エネルギーの観点からも電氣的配線には欠点がある。

【0010】一方、帯域が広いこと、浮遊容量による信号のなまりや遅延が少なく高速であること、アース線が不要なこと、ノイズを受けにくいことなど、光を通信に用いる利点は大きい。

【0011】このため近年では光LANが実用化されている。またデジタル交換用計算機でファイバー束を用いた基板間通信を行った例もあり、数本の光ファイバー束を用いたデジタル光リンクは実用化されている。しかし、これらのように少ない本数の光信号で電氣的なバックプレーンを走る千本の中速電気信号の転送速度を飛躍的に上回することは困難である。また超高速化することで少ない本数の光信号で非常に多くの電気信号をおきかえることができたとしても、信号の多重化と分配に対するハードウェアコストがかかる。

【0012】並列計算機のプロセッサ間結合網を自由空間を伝搬する光ビームを用いて構築した例もあるが、それらはホログラムを取り替えたり、手動で受信装置を動かしたり、液晶スイッチを用いて構成を切り換えるので回線接続に時間がかかるという欠点がある。

【0013】このほかに光導波路を形成したバックプレーンを用いる構想が報告されている。バックプレーンを用いる場合は最大構成時の大きさがバックプレーンのサイズで抑えられてしまうという欠点がある。

【0014】さらに、発光素子アレイチップと受光素子アレイチップを向かい合わせてプロセッサ間結合網を自由空間を伝搬する光ビームを用いて構成する構想も報告されている。しかし、この場合二枚の基板間は直接通信できてもより多くの基板との通信路を光で作ることは困難である。

【0015】円筒形の鏡で自由空間を伝搬する広がりを持った光ビームを反射させ放送バスを構築した例もあるが、反射角は限られるので鏡を遠くに置かない限りあまり多くの基板間を接続できず、鏡から基板を離すにつれて位置合わせが困難になってくるという欠点がある。またこの方式ではプロセッサからの出力光信号の論理和が取られてしまうバス構成であり、クロスバ結合などに比べるとはるかに能力が低い。

【0016】

【発明が解決しようとする課題】上述した如くの特徴をもつ光素子は、これを集積化した面型光素子アレイの性能・実現性・使い易さを左右する重要な要素となり、現在までに光透過素子としては面型半導体レーザ増幅器が、発光素子と受光素子を同一半導体基板上に集積化したものとしては、図38に示すような発光素子と受光素子を横に並べたような素子が研究されている。

【0017】また最近研究されている面型半導体レーザ増幅器は入射光を増幅して出射するため多段の基板による中継が行われても高品質な基板間通信が実現できる。

10

20

30

40

50

しかし、受光素子と発光素子を別途用意しなければならない点や、リング状の光バスを構成した際に発生する周回光を除去できない点が問題となる。

【0018】図38の素子は、普通は素子上部からの光信号を受光しかつ素子上部へ光信号を出射するが、使い方により素子下部からの光信号の受光も可能なので前記面型光素子アレイの構成素子として使える。しかし、この横並び構造の素子により前記面型光素子アレイを構成すると、隣合うボードの発光部と受光部を対向させるために、図39に示すようにボード相互の位置をずらして配置するか、図40のようにデバイス上の素子の密度を減らし、かつ出射光の放射角を広げることにより、素子相互の結合を行うかしなければならないという問題点がある。

【0019】さらに、重要な問題点として、入射する光信号をそのまま出射光信号として透過させる光透過素子を用いた場合に、透過光が次のボード上にある面状発光・受光デバイス上の受光部に向かっていないため、複数ボード間での光バスの実現が困難である。さらに、アレイの入射側では、隣の基板から発射された光信号は、回折によりビーム径が広がるため、受光素子以外のところへも光信号が当たる。そして、素子以外の場所に当たった光信号は、たとえば反射して隣りの基板へ戻り、光透過素子や発光素子の特性を劣化させたり、あるいは、自基板内で光電子を励起し雑音として受光素子出力や発光素子の変調等に影響を与える。

【0020】また、超並列コンピュータを実現するには、そのマイクロプロセッサ間に発生する高速・大容量の通信を処理するバスが必要となる。しかし、従来の手法では煩雑な配線や高速通信への限界、フレキシブルな

プロセッサ間の通信が困難といった問題点があった。

【0021】一方、従来におけるプロセッサ間結合網においては、電気信号による基板間配線であるため、ノイズによる信頼性の低さや、周波数的にも高速化が困難という欠点がある。

【0022】この発明はこのような従来の課題を解決するためになされたもので、その第1の目的は、信号伝達を円滑に実施し得る光素子、及び光バスを提供することである。また、第2の目的は、電気式に比べ基板間転送周波数を高速化し、ノイズによる信頼性低下を抑制し、基板間配線本数を飛躍的に増加させ、さらに、少ないハードウェア量を用いて接続可能基板数を多くしたうえで、クロスバ網に近い密なトポロジーを持つ超並列計算機むけ結合網を高密度に構成するとともに、従来の手動式や液晶式などに比べて高速な接続の切り換えを可能にし得る光学式プロセッサ間結合網を提供することである。

【0023】

【課題を解決するための手段】 上述した目的を達成するために、本願第1の発明は、基板と、この基板に設けら

れた発光素子と、前記基板の発光素子の周囲に設けられた同心円状の発光素子とを具備したことを特徴とする。

【0024】第2の発明は、複数のボード間を光信号によって通信するための光バスであって、前記複数のボードにマトリックス状に配置され、光信号の送受信を行う複数の光素子と、他のボードから送信された光信号を前記光素子を介して受信した自己のボードに取り込む受信部と、自己のボードで発生した信号を前記光素子を介して他のボードへ送信する送信部とを具備することを特徴とする。

【0025】第3の発明は、前記光素子は受光素子と発光素子とを具備し、前記マトリクス状各行の前記受光素子を前記ボード上の複数のマイクロプロセッサの入力端子に対応付けて接続し、前記マトリクス状各列の前記発光素子を前記マイクロプロセッサの出力端子に対応付けて接続し、前記各ボード上の複数のプロセッサ間で通信するようにしたことを特徴とする。

【0026】第4の発明の光学式プロセッサ間結合網は、表面で受光した光信号を裏面から出力可能な光デバイスを有する複数の基板間で、光信号による情報伝達を行なう光学式プロセッサ間結合網において、前記各基板上の光デバイスは、同一の光通路に配設されることを特徴とする。

【0027】第5の発明の光学式プロセッサ間結合網は、面型光素子のアレイを具備し受光した情報をデバイスの裏面から出力可能な光デバイスを、基板面に垂直な方向に光が通過できる基板領域に搭載し、第一の光デバイスへの入力情報に基づいてバイアス印加により所定の位置の面型光素子から入力光ビームの位相、波長、強度の少なくともいずれか1つをバイアス印加により変調した光ビームとして第二の光デバイスの所定の位置にある受光素子で受光しつつ第三の光デバイスに向けて光ビームを出力するという様式の繰り返しで形成される光ビームの束を、第一の光デバイスに戻るようによりリングバスを形成することを特徴とする。

【0028】第6の発明の光デバイスは、面型光素子のアレイを具備し受光した情報をデバイスの裏面から出力可能な光デバイスにおいて、第一の光デバイスからの光ビームを第三の光デバイスに通過させる機能を有する中継用第二の光デバイス素子と、第二の光デバイスへの入力データ情報に基づいて光ビームの位相、波長、強度の少なくともいずれか1つを変調する送信用素子と、メッセージを第二の光デバイスに取り込む口となる受信用素子からなるセルのアレイを具備させることを特徴とする。

【0029】第7の発明の光デバイスは、面型光素子のアレイを具備し受光した情報をデバイスの裏面から出力可能な光デバイスにおいて、第一の光デバイスからの光ビームを第三の光デバイスに通過させる機能を有する第二のデバイスの素子と、第二の光デバイスの素子と、第

二の光デバイスへの入力情報に基づいてバイアスを印加して位相、波長、強度の少なくとも1つを変調する素子を兼用にすることを特徴とする。

【 0 0 3 0 】

【作用】本発明による光素子は、受光素子を光透過素子または発光素子の周囲に同心円状に形成することにより、出射光を入射光が受光するのと同じ場所から発射させるため、入射する光と出射する光の光軸が一致する。したがって、本発明による素子により構成した面型光素子アレイを用いて基板間用光バスを構成すると、基板間の発光部と受光部を対向させる機構を全ての基板間において同一に設計できる。しかも、光透過素子または発光素子を受光素子の内側に配置することにより、受光部の直径は従来と変わらず実際に受光する部分の面積の減少もまた最小に抑えることができるため、受光効率もあまり劣化しない。具体的には素子中心部の光透過素子または発光素子には、半導体基板の面と垂直な方向に光を発射でき、集積化、アレイ化が可能で、光通信に適した光を出射する素子である面型半導体レーザ増幅器または面型半導体レーザ発振器を利用することが考えられる。この場合の透過・発光部は、標準的には5～10 μ m、最大でも直径20 μ m程度にしかならず、逆に受光部外径は50～100 μ m程度であり、回折の影響を考えると入射する光信号のビーム径は100 μ m以上に広がっているため、面積比で考えて中心部の影響はほとんど問題にならない。

【 0 0 3 1 】また、光透過素子を用いた場合、透過光は次のボード上にある面型光素子アレイ上の受光部に向かって進むことになるため、容易に透過機能を利用しての複数のボード間での光信号の送受を実現することが可能となる。これは、受光素子と発光素子の組み合わせを用いた場合には、入射する光信号を必ず一度電気信号に変換してからでないと次ボードに中継できなかったことと比較すると、光バスの処理能力向上、面型光素子アレイの消費電力低下という大きな利点がある。

【 0 0 3 2 】前述のように透過・発光素子として面型半導体レーザ素子を用いる場合、その活性層を量子井戸構造とすることにより、増幅・発光の効率を向上させ、消費電力を低下させることができる。また、光透過素子として用いている場合には、量子井戸構造の優れた透過率変化特性により光の透過／遮断を制御できる。前記光の透過／遮断の機能は、光バスをリング状に構成した際に生じる間隔で、一度バスに注入された光信号がいつまでも周回してしまう、いわゆる周回光の発生を防ぐことができる。光の透過を妨げる機能は、量子井戸構造以外にも、素子中に屈折率を制御できる物質を多層に成長させた格子の層をつくりこんでおく等の手段により具備させることができる。

【 0 0 3 3 】また、光透過素子として面型半導体レーザ増幅器を用いた場合、活性層の両側に屈折率を制御する

ことのできる層を設けることにより活性層両側の反射率を高くすることができる。この状態で活性層に電流を注入することにより、このレーザ素子はレーザ発振を起こすため、特に発光素子を別に設ける必要がなくなる。

【 0 0 3 4 】さらに、前記アレイの入射側では、隣の基板から発射された光信号は回折によりビーム径が広がるため、受光素子以外のところへも光信号が当たる。そこで、素子以外の部分に無反射膜をコーティングしたり、または光吸収層をつくりこんでおくことにより、前記のような素子以外の場所に当たった光信号が、たとえば反射して隣の基板へ戻り光透過素子や発光素子の特性を劣化させたり、あるいは自基板内で光素子を励起し雑音として受光素子出力や発光素子の変調等に影響を与えることが防げる。

【 0 0 3 5 】本発明の光バスの作用を以下に説明する。

【 0 0 3 6 】この面型光バスは、バス信号として光信号を用いる。このため光ビームの集束性の良さをを用いることにより、ボード間を空間伝搬した後にも、たとえば100 μ m以下の間隔で並ぶ受光素子の一つだけに信号を伝えることが可能となる。したがって、ボード間の配線が不要となり、配線労力の省力化や保守性の向上につながる。また電気配線は配線間容量等により帯域制限が生じ易く、また配線間の漏話もあるが、光配線を用いるとこれらの制限は生じないため、高速で高性能な通信が容易に実現できる。

【 0 0 3 7 】また、片面に発光素子をもう一方の面に受光素子をマトリックス状に集めた面状発光／受光デバイスを用いることにより、ボード間通信のために多く必要となる発光／受光素子の実装／配線の簡略化や容易なデバイス製作が可能で、配線数の増大が全く問題にならない。そしてボード間の配線を増やすことにより、このシステムでの通信方式・手順のフレキシビリティが向上させることができる。さらに、光増幅器や光再生中継器の技術を受光素子と発光素子の間に用いて受信信号の中継機能も設けることにより、隣合わないボード上のマイクロプロセッサ間の通信をより少ない遅延時間で実現できる。

【 0 0 3 8 】本発明の光バスは、前記請求項2中にあるような面状発光／受光デバイス上の発光素子の各列をボード上の各マイクロプロセッサに対応させると同時に、受光素子の各行も各マイクロプロセッサに対応させる配線を行うことにより、ボード間の任意のマイクロプロセッサ同士の通信を容易に実現させることが可能となる。

【 0 0 3 9 】本発明の光学式プロセッサ間結合網の作用を以下に説明する。

【 0 0 4 0 】第5の発明の光学式プロセッサ間結合網が面型発光素子のアレイを具備し受光した情報をデバイスの裏面からの出力可能な光デバイスを、基板面に垂直な方向に光が通過できる基板領域に搭載するので、第一の基板上の光デバイスから出力した光を、対面する第二の

10

20

30

40

50

基板上的の光デバイスに導くことができる。本発明の実施例としてGaInAsP/InAsP、GaInAs/InAlAs、GaAlAsSb/GaAsSbの超格子積層膜構造を構成するAPD（なだれ増倍型受光素子又はGaAlAs/GaAsを面型発光レーザ素子としての活用が各々の光デバイスは入力データ情報、メッセージ、命令に基づいたバイアス印加により入力光ビームの位相、波長、強度の少くともいずれか1つを変調した光ビームを出力できるので、どのデバイスでも送信元とすることができる。第一のデバイスを送信元とすると、

第二の光デバイスは受光した情報をデバイスの裏面から出力可能なので、第二の基板に対面する第三の基板上的の光デバイスに第一のデバイスからの情報は伝達される。

【0041】光素子はアレイ状になっているのでこのような光ビームが束状になって基板を貫くことになる。このようにして作られる光ビームの束を第一の光デバイスに戻るよう導くことによりリングバスを形成しているので、次々と光ビームが伝搬していくとやがて任意の送信先の基板に光ビームは到達することができる。

【0042】各々のデバイスは対面する基板上的の光デバイスに向けて光ビームを出力しつつ受光素子で受光することにより第一のデバイスからの情報を取り込むことができる。このようにして第7の発明によれば任意の基板間の通信が可能な光による高速でノイズに強いバスを多数本設置することが可能となる。

【0043】第6の発明の光デバイスは、面型受光素子のアレイを具備した光デバイスにおいて、第一の光デバイスからの光ビームを第三の光デバイスに通過させる第二の光デバイスへの入力メッセージを実行する機能を有する中継用第二の光デバイスの素子を具備するので光ビームは次々と伝搬して光路上の全ての基板を突き抜けることができる。また各々の光デバイスは第二の光デバイスへの入力データ情報に基づいて第一の光デバイスからの光ビームの位相、波長、強度の少なくともいずれか1つを変調する素子を具備するので、デバイスに入力された情報を送信することができる。また各々の光デバイスはメッセージを第二の光デバイスに取り込む口となる素子を具備するので、光ビーム上に出力されている情報を受信することができる。

【0044】以上の2つの機能を備えたセルをアレイ状にしたデバイスを実現することにより、光により情報を送信したり、受光した情報を取り込んだり、デバイスの裏面から出力することが可能なセルのアレイができる。このようなデバイスを用いることにより第一の発明を実施する手段が与えられる。

【0045】第7の発明の光デバイスは、面型光素子のアレイを具備し受光した情報をデバイスの裏面から出力可能な光デバイスにおいて、第一の光デバイスからの光ビームを第三の光デバイスに通過させる第一の光デバイスからの入力メッセージを実行する機能を有する中継用

第二の光デバイスの素子と、その中継用第二の光デバイスへの入力データ情報に基づいてバイアスを印加し第一の光デバイスからの光ビームを位相、波長、強度の少くともいずれか1つを変調する素子が兼用になっているので、セルの面積が節約できることを特徴とし情報を送信しているセルは光リングへの送信の競合がない場合は、送信の機能と中継の機能を同時に使用することはないので兼用になっていても問題はない。

【0046】

【実施例】以下に図を用いて本発明の実施例を説明する。図1は本発明に係わる一実施例の光素子の構成を示す図である。

【0047】本実施例の素子は半導体基板51の中央部に発光・透過機能をもつ発光・透過素子52があり、その周囲を受光機能をもつ受光素子53が取り囲む配置となっている。そして、受光素子53は下面からの入射光を電気信号に変換する。そして出射光は発光・透過素子52の上面から発射される。中央部は多層構造で、その中には活性層54を有している。活性層54に電流を注入することによりレーザ光を発光したり、透過光を増幅する。発光機能と透過機能とは活性層54の上下にある層55a、55bを制御して行う。たとえば電流により活性層54の上下にある層55a、55bの屈折率を制御して活性層54両端の反射率を変化させる。反射率が高いときには、中央部は面発光半導体レーザと同じ原理によりレーザ発振が生じるとともに入射光は発光・透過素子52を透過できなくなるが、逆に反射率が低いときには中央部はレーザ増幅器として動作し、入射光は増幅されながら透過するがレーザ光の発振は生じない。さらに、活性層54に量子井戸構造を用いることにより、透過機能の高速なon/off、発光機能・増幅機能の低消費電力化が実現できる。本実施例の素子においては活性層54の大きさが一般の半導体レーザの活性層54より小さいため、量子井戸構造による効果は一般のレーザにおいて得られる効果より大きく、高性能な素子可以实现できる。また図2に示すようなリング状の光バスを構成した場合に問題となる周回光に対しては、特に透過機能のon/offを行うスイッチとしての性質が、周回光の消滅を容易にする。なお、56-1~56-nはマイクロプロセッサボード、57-1~57-nは面状発光・受光デバイス、58-1~58-4は反射鏡、59は光信号光路を、それぞれ示している。

【0048】周囲に同心円状に構成された受光素子53も多層構造から構成される。ただし層構造は中央部とは異なり、フォトダイオードの構造にして受光素子53を実現する。裏面入射であるから受光部分の最上層には電極を設けることができ、反射・散乱等による上面からの不要光による雑音を防ぐことができる。また、受光部分は環状であるため表面積は若干狭くなるが、受光範囲は100μm四方〜と広く、逆に直径が数〜十数μm程度

な中央部の出射口からは回折により放射角の広い光が発射されるため、一般的なボード間隔（2～3 cm程度）の光送受では、位置調整は比較的容易である。もしも、放射角と基板間距離の関係から光ビームが広がり過ぎて隣の光素子でも受光できるような場合には、出射口にレンズを設けてビームを絞るとか基板間に導波機構を設ける等の対策が必要となる。この際のレンズも半導体材料により素子の一部として設ける方法やマイクロレンズアレイ板を用いる方法がある。

【0049】また、図3は本発明の第2の実施例の光素子の構成を示す図である。

【0050】同図において、60は面型半導体レーザ増幅器、61は面型半導体レーザ発振器、62は反射層、63は活性層、64は反射格子層を示している。図1に示す実施例のような発光機能と透過・増幅機能を同一の活性層で実現し、また、そのために両機能を切り替える機能を設けることは、高性能な光素子の製作を困難にするので、発光機能の部分と透過・増幅機能の部分とを並列して持った素子となっている。これにより発光機能の部分では活性層63の上下の層を反射専用の層として安定して生成できるし、また、この層を制御するための機構も不要となる。逆に透過部分は量子井戸構造により光スイッチ機能も併せ持たせて、希望しないときには光を透過させなかったり、発光しながら入射光も透過させる機能を実現できる。

【0051】つぎに図2に示す光バスを用いた $m \times n$ プロセッサ超並列コンピュータについて説明する。

【0052】この光バスは m 個のマイクロプロセッサを各々に実装した n 枚のボード56-1～56- n が縦に並べて配置されている。各ボードには面状発光/受光デバイス57-1～57- n がある。このデバイス上には、図4に示されているように発光/受光素子が $m \times m$ マトリックス状に並んでいる。このようにボード間通信に必要な光素子を一ヶ所に集中させることにより、素子を集積化したデバイスを実現することが可能となり、実装や配線が容易になる。面状発光/受光デバイスは、ボード上の任意の位置に配置可能だが、マイクロプロセッサとの配線、デバイスからの端子の出し方等を考えると図のようにボードの中央部に配置するのが適している。全ての発光/受光素子はボード上の m 個のマイクロプロセッサ65のいずれかと接続されている。ボード間の通信は光空間伝搬で行う。ボード56-1の下面から出射された光信号は、ボード56-2の上面で各々受信され、あるいはボード56-2で発生する信号光と合成され、ボード56-1の下面からボード56-3へ向けて出射される。この繰り返しにより信号光は逐次伝搬され、最後のボード56- n から出射された光信号は、反射鏡58-2、58-3、58-4、58-1により反射されてボード56-1の上面より入射されるようにする。これにより各発光/受光素子間の信号光の束は図2

に示されるような軌跡59を描き、各マイクロプロセッサ間の通信が実現できる。

【0053】異なるボード上にある任意のマイクロプロセッサ間の通信方法は次の通りである。

【0054】今、ボード56-3のマイクロプロセッサNo. 5（以下、プロセッサ[3, 5]と呼ぶ）からボード56-6のマイクロプロセッサNo. 4（同様に以下、プロセッサ[6, 4]）へのデータ伝送を例にとる。各マイクロプロセッサは面状発光/受光デバイスのある特定の列の発光素子とある特定の行の受光素子とを制御できるように配線されている。たとえば、図5はボード56-3上の面状発光/受光デバイス57-6を示している。

【0055】プロセッサ[3, 5]は面状発光/受光デバイス57-6の列T5上の任意の素子を用いて送信が可能であり、また行R5の受光素子に達した光信号を受信できる。プロセッサ[6, 4]も同様にボード56-6上の面状発光/受光デバイスのT4とR4に接続されている。プロセッサ[3, 5]は、プロセッサ[6, 4]へ伝送するデータを受信者情報等を付加した伝送用データへの変換処理をしたのちに、列T5、行R4の位置にある発光素子を用いて面状光バス上へ送出する。この様子を簡単に図示したのが図6である。同図において66-1は、送信側プロセッサ[3, 5]を66-2はプロセッサ[6, 4]を示しており、また点線67はボード間を伝送される信号光を示す。送出された信号光はボード56-4、56-5の面状発光/受光デバイスのT5-R4の位置にある素子により中継され、ボード56-6の面状発光/受光デバイスのT5-R4にある受光素子により受信され、プロセッサ[6, 4]にデータが届く。プロセッサ[6, 4]からは、データ伝送が成功したことを示すACK信号が、今度はT4-R5の位置の発光/受光素子を用いて同様にプロセッサ[3, 5]に伝送され、一連のデータ伝送は終了する。

【0056】このデータ伝送において、ボード56-4、56-5におけるデータの中継は、信号光を一度受信し、そのデータ中の情報から自ボード宛の信号かどうかを判断し、他ボード宛の信号の場合は中継を行うようにする。

【0057】また、信号が確実に伝わるようにするために、信号衝突に対して2つのレベルでの取り決めが予め必要となる。まず送信側の段階であるが、前記の方法では任意のボードのマイクロプロセッサNo. 5が任意のボードのマイクロプロセッサNo. 4にデータ伝送する際は、各ボードの同じT5-R4の位置にある発光/受光素子から光路が形成され信号光を伝送することになる。このような伝送が複数同時に生じた場合には複数の信号光が重なるため、各受信端末は受信不能となる。この状況に対処するために、送信側はタイマを用意し、データ送信後一定時間内に受信側からの返事がない場合

は、信号の衝突が発生したと判断して再送を行う。また、送信側は送信前に該当する光路をチェックして他の信号光が存在しないことを確認することにより、より信号衝突の確率を下げるができる。

【 0 0 5 8 】次に受信側を考えると、同じ受光素子に複数の信号光が達する場合の対応は前記の送信側での制御により問題とならないが、接続されている行上の異なる受光素子に同時に入ってきた自ボード宛の信号光の処理が必要である。このために、図 7 に示すような受光素子 6 8 - 1 ~ m 個々に信号検出器 6 9 - 1 ~ m を備え、これら検出器の全出力はスイッチ制御器 7 0 に接続され、スイッチ制御器 7 0 では早い者勝ち制御により最初に信号が検出された受光素子からのデータだけをマイクロプロセッサに接続するようにスイッチ 7 1 を切り替える。この場合に選択されなかった信号は廃棄されるが、送信側は前記のタイマにより適宜再送を試みることににより後で送信が行われる。また受信側での制御として早い者勝ち制御以外に、図 8 に示すような各受光素子に復号器 7 2 - 1 ~ m を設け、同時受信が生じた場合には選択器 7 3 において送信者や通信内容によりマイクロプロセッサに接続する信号を決定する制御や、図 9 のように全受光素子 6 8 - 1 ~ m をそのまま合成してマイクロプロセッサに接続し、同時受信により復号できなかった場合は前記送信側のタイマによる再送を持つ制御も考えられるが、前者は処理が複雑であり、後者は通信路の利用率が悪いことを考えると図 7 の方式が適していると考えられる。

【 0 0 5 9 】以上の説明では、他のボード上のマイクロプロセッサ間通信を仮定したが、同じボード上のマイクロプロセッサ間の通信においても前記と同様の方法で本発明の面状の光バスを用いることが可能である。この場合、光バスの伝送情報量の増大、不要な遅延時間の増加という問題が生じるが、ボード上の配線、スイッチング要素を減少できる利点もある。

【 0 0 6 0 】図 1 0 は本発明を適用した並列光リングバスを具備する並列計算機における光学式プロセッサ間結合網の第 3 実施例の構成を示す模式図である。本実施例においては、4 個のプロセッシングエレメントを具備する基板 4 枚から形成されている。

【 0 0 6 1 】 P E 0 0 5 - 0 0、P E 0 1 5 - 0 0 P E 0 2 5 - 0 2、P E 0 3 5 - 0 3 は基板 1 - 0 上の 0 番から 3 番のプロセッシングエレメント、P E 1 0 5 - 1 0、P E 1 1 5 - 1 1 P E 1 2 5 - 1 2、P E 1 3 5 - 1 3 は基板 1 - 1 上の 0 番から 3 番のプロセッシングエレメント、P E 2 0 5 - 2 0、P E 2 1 5 - 2 1、P E 2 2 5 - 2 2、P E 2 3 5 - 2 3 は基板 1 - 2 上の 0 番から 3 番のプロセッシングエレメント、P E 3 0 5 - 3 0、P E 3 1 5 - 3 1、P E 3 2 5 - 3 2 P E 3 3 5 - 3 3 は基板 1 - 3 上の 0 番から 3 番のプロセッシングエレメントと名付けるこ

とにする。ここでは基板の番号に対応する座標を Y 座標、基板内部の位置に対応する座標を X 座標と呼ぶことにする。

【 0 0 6 2 】同一基板上的各プロセッシングエレメントは基板の配線パターンにより互いに結合されている。この結合網は X 座標の異なるプロセッシングエレメントへの通信手段を与える。本実施例においては、基板内をリング結合したものを示しているが、基板内の結合形態は他のトポロジーであっても良い。なお、基板内部は多層配線基板を用いることにより多くの配線を用いることで高速な結合網を構築することができる。

【 0 0 6 3 】別の基板上的プロセッシングエレメントとの通信は基板に 1 個ずつ配置された光デバイスを介して行われる。そこで各プロセッシングエレメントは光デバイスと通信するためのポートを備える。基板上的全プロセッシングエレメントが光デバイスと結合されることになる。基板には更に光デバイス制御用の制御メモリが搭載され、ここから読み出される情報は光デバイスに導かれる。制御メモリの読み出し書き込みは本実施例においては各基板の 2 番のプロセッシングエレメント P E 0 2、P E 1 2、P E 2 2、P E 3 2 が行うものとするが、全ての制御メモリからの読み出しを一斉に同期をとって行うことができれば何が行っても構わない。

【 0 0 6 4 】以上のような基板を隣接する基板間の光デバイスの位置が一致するように固定し、基板 1 - 0 上の光デバイス 2 - 0 から出力された光が基板 1 - 1 上の光デバイス 2 - 1 に当たり、基板 1 - 1 上の光デバイス 2 - 1 から出力された光が基板 1 - 2 上の光デバイス 2 - 2 に当たり、基板 1 - 2 上の光デバイス 2 - 2 から出力された光が基板 1 - 3 の光デバイス 2 - 3 に当たるようにする。基板 1 - 3 上の光デバイス 2 - 3 から出力された光はレンズとミラーを介して基板 1 - 0 上の光デバイス 2 - 0 に当たるように導かれる。

【 0 0 6 5 】本実施例においては基板は 4 枚だけなのでシステムの大きさは小さいのでミラーやレンズの位置合わせは問題ないが、基板枚数が極端に多くミラー間の距離が極端に離れ位置合わせや支持が困難になった場合でも、本実施例の光ファイバーアレイを用いれば最下位の基板と最上位の基板を確実に接続することができる。またレンズ 3 0 の枚数が増加するが図 1 1 のように 4 箇所のミラー 3 とミラー 3 の間に基板 1 を多数配置して長距離の光路を回避しても良い。

【 0 0 6 6 】図 1 2 は本発明の第 4 実施例に係わる光デバイスの構成を示した図である。本実施例の光デバイスは 4 つの入力ポート (1 0 - 0、1 0 - 1、1 0 - 2、1 0 - 3) と 4 つの出力ポートを持ち (1 2 - 0、1 2 - 1、1 2 - 2、1 2 - 3)、4 つの光素子群セル 9 が導波路型合波器 7 と電気回路ブロック 6 に接続されたブロックを 4 個備えている。

【 0 0 6 7 】本実施例においては、電気回路ブロックが

導波路部と同じセルに接続されるので、ブロック毎に別のチップになっていても良いし、4つのブロック全てが1つのチップに搭載されていてもよい。

【0068】図13は本発明の第5実施例に係わる光素子群セル9の構成を示す図である。各セル9は受信素子15と中継素子14と送信素子13を具備する。受信素子15や中継素子14には光を通過させたり、阻止した
10 まするスイッチング機能が必要になるが、Multiple Quantum Well (MQW) などを使えばデバイス面に垂直方向に入射される光をスイッチングする素子のアレイを構成できる。

【0069】図14は中継素子14の断面図を示す。中継素子14は制御電極24によって通過状態と阻止・消光状態の2状態に制御され中継動作を行ったり、上からの光入力を消光・阻止する消光光スイッチ32からなる。例えばGaAlAs/GaAs面型発光レーザ素子やInGaAsP/InAlAsP系、InGaAs/InAlAs系、ADP格子積層膜構造素子に入力された制御情報に基づいてバイアス電圧を印加して増幅作用光通過並びに、消光・阻止作用を行うものである。

【0070】図15は図13のA-B線に沿った受信素子15の断面図を示す。光デバイス基板20に形成された受信データ導波路16の上で面型の光スイッチ32を形成する。上から入射する光はこのスイッチ32の場所のみからしか受信データ導波路16側に通過できないよう他の部分はマスク層25でマスクする。この光スイッチ32は中継素子14と同様、制御電極24によって通過状態と消光・阻止状態の2状態に制御され、通過状態では上からの光は受信データ導波路16に通過する。図15においても前記面型発光レーザ素子、APD（なだ
30 れ増倍受光素子）を用いてこれを可能にした。

【0071】図16は送信素子13の断面図を示す送信素子13としては面発光型の発光ダイオード(LED)、面発光型のレーザーダイオード(LD)や、増倍型発光素子(APD)などを用いれば電気信号により強度変調される送信素子13のアレイを構成することができる。電気回路ブロックは基板番号に対応する制御入力10に基づいてセルを選択し、データ入力11によって送信素子13を変調する。プロセッシングエレメント自身のメッセージで変調させた増幅光を送信して周回して
40 戻ってきたデータを再びループに戻さないようにするために、送信が選択されたセルの中継素子14の中継動作を停止させるように制御する。

【0072】中継素子14と受信素子15は同時に同じ光を受光し、中継素子14はそのセルが送信状態に選択されていない場合に限り、受光した光を次の基板上の光セルに送る。基板枚数が多い場合は第11の発明の光デバイスを適用した本実施例の中継素子14に光増幅作用を具備させ、広がりによる光強度減衰分を補う。

【0073】電気回路ブロックは制御入力10の情報に
50

基づいて導波路型合波器7に光を導くセルを選択し、受信素子15はそのセルが受信状態に選択されている場合に限り、受信した光を受信データ導波路16に通過させる。図12に示されるとおり一本の導波路型合波器7には複数のセルが接続され、その内の1つのセルが受信選択されるので受信選択された光のみが光電変換部に導かれる。光電変換部8に至るまでの損失と選択されていないセルから漏れ出る光の和によるノイズにより、選択された光の強度振幅が少なすぎると正しくデータを受信できなくなる。この場合は受信素子15に光増幅作用を具備させることにより改善することができる。

【0074】本実施例では受信した光情報を光のまま1本に集約しているが、図17のように受信素子15の下をくぐり抜けるように帯状の光電変換素子28を配置し、光電変換と集約操作をひとまとめにすることもできる。図18に帯状光電交換素子28を用いた受信部を図17の線C-Dによる断面図を示す。

【0075】図17は本発明の第6実施例を示す構成図である。同図に示されているように送信素子と中継素子を兼用素子27にして光素子の種類を減らしてもよい。図19は送信と中継を兼用とする素子の断面図を示す。発光部の制御を光スイッチ32を介した入力光19と、データ入力素子からの入力データを導く電気回路ブロックの両方から行なえるようにすれば良い。送信する時は電気回路ブロックからの制御で発光させ、中継する時は入力光による制御で発光させる。このようにすれば中継動作時も能動的に発光するので段数を重ねても中継による光の減衰の問題は解決される。特に図14、図15及び詳細には図35に示したGaAlAs/GaAs面発光レーザ、InGaAsP/InAlAsP、InGaAs/InAsP系超格子積層活性層構造を有する光増倍型受光素子(APD)素子を用いて位相、波長、強度の少なくともいずれか1つを制御し変調発光できることによりこの問題を解決した。

【0076】図20は複数のデバイス間の光のやりとりの形態を示す。この図は積み重なった光デバイス2を横から見たところである。送信素子13と中継素子14は下位に位置する光デバイスに向かって光を送信する。光は回折などによりある範囲に広がる。中継素子14による光が下位の光デバイス2-3を照らす範囲と送信素子13による光が下位の光デバイスを照らす範囲の重なりが受光エリア17である。真上に位置する光素子群セルからの光は円形の受光エリア17に広がり、隣の受光エリア17とは重ならないようになっている。これら3つの素子群の面積が受光エリア17に比べ十分小さければ図21に示すように基板間の多少のズレは許容される。又、図36で示すように発光素子の開口部直径Eを15 μm とすると波長 λ が1.55 μm の光ビームで入力しても図20、図21に示された入力光ビームの配光範囲は $2 \cdot P = \lambda / \sin(\theta/2)$ 、 $2 \cdot P = X = 400$

～900 μm、 $0.099 \leq \theta/2 \leq 0.222$ で $X = d \cdot \tan \theta/2$ 、 $d = 2.6 \times 10^4 \mu\text{m}$ 、 $X = 400 \sim 900 \mu\text{m}$ のアレーでは、 $44.8 \mu\text{m} < d \cdot \tan \theta/2 \leq 100 \mu\text{m}$ であり $X = 400 \sim 900 \mu\text{m}$ で十分にあり。又、ポート間隙距離が $d = 2.6 \times 10^4$ の $1/9$ でも十分設計できる。以上から受光エリア 17 の調節には中継素子 14 や送信素子 13 の開口部の大きさと光の波長とデバイスの間隔を制御するのが簡便であるが、他に図 22 に示すような穴の開いた板 45 を光デバイス 2 に密着させても良い。この板 45 は光セル 9 の位置に対応する位置に穴 43 が当てており、穴 43 の内壁は反射率が高くなるように仕上げる。こうして光が広がろうとしても穴 43 の中に閉じこめられる。板は金属やセラミックのように光を通さず熱電導率の高い材質で作り、冷却液 42 を通過させる通路を形成すれば効率的な冷却をも可能にする。

【0077】この方法は穴 43 を開ける精度の問題からあまり光セル 9 の間隔を狭めることはできないが、光セル 9 の密度を高めたい場合は第 20 の発明の光デバイスを適用し、光セル 9 の位置に対応してマイクロレンズを具備させることによって受光エリア 7 の調節をすることが可能である。また発熱が少ない場合は多数の光ファイバーを光セルの位置に合わせて並べ樹脂などにより一体成形した光ファイバーアレーを光デバイスに密着させても受光エリアの調節をすることが可能である。

【0078】光子が極めて高集積化されて光ビームの指向性が鋭く、光セルの間隔が狭い場合は図 23 に示すように第 14 の発明を適用し、ハーフミラー 37 などにより光を分岐させ受信素子 15 と送信、中継兼用素子 27 に導いても良い。

【0079】以上では全ての光デバイスの同一番号のセル間のみを光で結合する場合に付いて述べたが、上記の光デバイス 2 間に導波路 36 を具備した板を配置することにより、必ずしも番号が一致しないセル間を光で結合することができる。

【0080】図 24 は各プロセシングエレメント 5 に対応する受信セルの位置の設定例を示す図である。この例では送信プロセシングエレメント 5 を一本の光ビームに割り当てた場合を示す 4×4 のマス目を各光デバイス 2 におけるセルに対応し、数字はセルの番号に適應する。斜線を配した番号のセルの送信素子はセル番号と同じ番号を持つ同一基板上的プロセシングエレメントの出力データにより変調されて発光する。

【0081】図 23 において各デバイスの長円で囲まれたセルに受信された光のうち 1 本が選択されて長円中にある送信セルと同一の番号のプロセシングエレメントに導かれる。

【0082】送信セルの番号はプロセシングエレメントと対応するので、4 つのデバイス上の同一番号のセルはその内の一つだけから発光される光ビームの情報を共有

することになる。すなわち一本の光ビームに対応するバスに送信するセルは 1 つであり光ビームに対する基板間の競合はなく、受信することのできるプロセシングエレメント 5 である。また X 座標が等しい 4 つのプロセシングエレメント 5 に対して放送することも可能である。以上の接続を言い変えると、X 座標が等しくて Y 座標が任意のプロセシングエレメント 5 間がクロスバ・スイッチで互いに接続されていることになる。プロセッサ間の接続を図 25 に示す。プロセッサ間の接続関係を表す行列を図 26 に示す。行列において要素の値が 1 であるところに接続関係がある。

【0083】以上の結合は図 27 に示すハイパーキューブ結合を包含する強力な結合である。

【0084】図 28 はハイパーキューブのプロセッサ間の接続関係を表す行列であるが、図 28 において 1 である要素は全て図 26 において 1 であることから明かである。ハイパーキューブ結合では全ての値が 0 になる部分行列ができるが、基板が多くなった場合は本発明を適用した結合にくらべて全ての値が 0 になる部分行列の数がプロセシングエレメントが多いほど多くなるため結合網の性能の差は更に広がる。

【0085】またバックプレーンを用いたハイパーキューブ結合は基板の枚数が多くなるほど実装が困難になるが、本発明の場合は基板の枚数の制限は緩いのでプロセシングエレメントが多くてもハイパーキューブ以上の能力を持つ結合網が容易に実装できる。

【0086】また光を用いているので電気による通信路に比べてノイズや通信路間の干渉、インピーダンス不整合による反射、接地電位の不整合などの悪影響が少ないため信頼性が高く、転送速度を容易に高速化することが可能である。

【0087】次にハイパーキューブの通信パターンの動作を通して、制御メモリを用いた本実施例の結合網の動作方法を説明する。図 27 のハイパーキューブにおいて、全プロセシングエレメントが隣接する 4 つのプロセシングエレメント 5 間で 4 つのメッセージを送信し 4 つのメッセージを受信する動作を繰り返すことを、本実施例の結合網で模擬するとする。ここで各プロセシングエレメント 5 は 1 つのメッセージの送信と 1 つのメッセージの受信を同時に行う能力を持つものとする。

【0088】この動作をさせるには図 29、図 30、図 31、図 32 に示す 4 回の通信を行えば良い。これらの図中の点線は基板を意味するので、図 29、図 30 の通信は基板内のリング（二次元ハイパーキューブ）結合網で行い、図 31、図 32 の通信は基板間通信になるので光クロスバ結合網で行う。

【0089】光クロスバ網を用いる通信においては各プロセシングエレメントについてメッセージを受信すべき相手のプロセシングエレメントの Y 座標（基板アドレス）に注目して制御メモリ 4-0 の内容を決定する。

10

20

30

40

50

【0090】例えば図31の通信においてPE00 5-00はPE20 5-20のメッセージを受信するのでPE00 5-00の受信制御メモリには2を記憶させる。逆にPE20 5-20はPE00 5-00からのメッセージを受信するのでPE20 5-20の受信制御メモリには0を記憶させる。以上のようにして図31、図32に対応する制御メモリの内容は図33のアドレス0、アドレス1に示すようにプログラムされる。

【0091】図33ではアドレス0のパターンが制御レジスタ41に読み出され図31の通信ができるような状態になっている。番号が斜線で塗りつぶされたセルは通信が選択されているセルで、番号が○で囲まれたセルは受信が選択されたセルを意味する。

【0092】図34ではアドレス1のパターンが制御レジスタ41に読み出され図32の通信ができるような状態になっている。このようにアドレスを0、1、0、1とループさせて読み出せばハイパーキューブの通信を繰り返し行うことが可能であり、切り換えにおいては調停がないので高速である。またこの例のように全ての光バスが効率的に使われるように制御できるので、転送能力を極限まで引き出すことが可能である。

【0093】なお本実施例では制御メモリはプロセッシングエレメントとは別に設けてあるが各プロセッシングエレメントが自分の受信制御情報をローカルメモリに持ち、送信リンクを使って光デバイス内の制御レジスタに書き込んで受信選択を行っても良い。

【0094】以上の実施例では簡単のため基板内プロセッシングエレメント数4、基板枚数4の並列計算機を示したが、現在の半導体集積技術は高性能なプロセッシングエレメントを数センチメートル四方に実装することを可能にしているので、基板内に百台規模の高性能なプロセッシングエレメントを搭載することは現時点でも可能である。

【0095】また直径数ミクロン程度の面発光レーザやMQW素子が製作されているので万のオーダーの規模の光セルを実現できる可能性がある。ゆえに万のオーダーのプロセッシングエレメント間をクロスバ網に近い結合網で結合できる可能性がある。現在の光通信技術では1本あたり数百メガビット/秒から1ギガビット/秒程度の通信速度は比較的容易に実現できるようになってきているので、テラビット/秒を越える基板間総合転送速度を実現できる可能性がある。

【0096】また切り換え速度の面からみてもMQWなどの半導体光素子を用いて構成することが可能なのでナノ秒を下回る速度で切り換えることも原理的に可能であり、従来の手動や液晶などを用いた光学的なスイッチに比べて飛躍的に高速な切り換えを可能にする。

【0097】また本発明は並列計算機のプロセッサ間結合網のみでなく、デジタル交換機などにも適用するこ

とができる。さらにその他の広範なデジタルシステムのバックプレーンを置き換えるための技術として利用できる。バックプレーンの代わりに本発明を適用した配線を用いれば、結合できる基板の枚数の制約と基板間通信能力は飛躍的に改善され、その結合の柔軟な可変性から汎用な基板間結合手段を提供することが可能になる。

【0098】

【発明の効果】以上説明したように本発明による光素子を面型光素子アレイに用いると、容易に高性能基板光通信が実現できる。

【0099】また、発光/受光素子をマトリックス状に配列したデバイスを用いて光バスを構成することにより、容易に素子間の結合が得られ、高速・高性能なバスを実現できる。しかも、前記デバイスは集積化技術を用いることにより、素子数の多いデバイスを作ることが可能なため、配線数を増加させてバスのフレキシビリティを向上させることができる。

【0100】また、本発明による光学式プロセッサ間結合網においては、電気式と比べ基板間転送周波数を高速化し、ノイズによる信頼性低下を抑制し、基板間配線本数を飛躍的に増加させることができる。さらに、少ないハードウェア量を用いて接続可能基板数を多くしたうえで、クロスバ網に近い密なトポロジーを持つ超並列計算機むけ結合網を高密度に構成することを可能にするとともに、従来の手動式や液晶式などに比べて高速に接続の切り換えが可能になるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例の光素子の構成を示す図である。

【図2】リング状の光バスの構成を示す図である。

【図3】本発明の他の実施例の光素子の構成を示す図である。

【図4】ボード上に面状発光/受光デバイスが設けられている様子を示す図である。

【図5】ボード上の面状発光/受光デバイスを示す図である。

【図6】各ボードを介してプロセッサが通信する様子を示す図である。

【図7】受光素子の受信の様子を示す図である。

【図8】受光素子の受信の様子を示す図である。

【図9】受光素子の受信の様子を示す図である。

【図10】本発明の第3実施例に係わる並列光リングバスを具備する並列計算機の光学式プロセッサ間結合網の構成を示す模擬図（概略図）である。

【図11】4箇所のミラーとミラーの間に基板を多数配置した並列光リングバスを具備する並列計算機のプロセッサ間結合網の概略を示した図である。

【図12】本発明の第4実施例に係わる光デバイスの構成を示した図である。

【図13】本発明の第5実施例に係わる光素子群セルの

構成を示す図である。

【図 1 4】中継素子の断面図を示す。

【図 1 5】図 1 3 の A - B 線に沿った光デバイスを適用した受信素子の断面図を示す。

【図 1 6】送信素子の断面図を示す。

【図 1 7】受信素子の下をくぐり抜けるように帯状の光電変換素子を配置した受信部を示す。

【図 1 8】帯状光電変換素子を用いた受信部を図 1 7 の点 C - D によって切った断面図を示す。

【図 1 9】送信と中継を兼用とする素子の断面図を示す。 10

【図 2 0】複数のデバイス間の光のやりとりの形態を示した図である。

【図 2 1】素子群の面積が小さいとき基板間の多少のズレが許容されることを示した図である。

【図 2 2】穴の空いた板を示す図である。

【図 2 3】光を分岐させ受信素子と中継素子に導く様子を示した図である。

【図 2 4】各プロセッシングエレメントに対応する送信セルと受信セルの位置の設定例を示す図である。 20

【図 2 5】図 2 1 の設定をした場合のプロセッサ間の説明を示す図である。

【図 2 6】図 2 1 の設定をした場合のプロセッサ間の接続関係を表す行列である。

【図 2 7】ハイパーキューブ結合のプロセッサ間の接続を示す図である。

【図 2 8】ハイパーキューブ結合のプロセッサ間の接続関係を表す行列である。

【図 2 9】ハイパーキューブ結合の隣接プロセッサ間通信の第一のパターンを示す図である。 30

【図 3 0】ハイパーキューブ結合の隣接プロセッサ間通信の第二のパターンを示す図である。

【図 3 1】ハイパーキューブ結合の隣接プロセッサ間の通信の第三のパターンを示す図である。

【図 3 2】ハイパーキューブ結合の隣接プロセッサ間の通信の第四のパターンを示す図である。

【図 3 3】図 3 1 の通信パターンを実現する制御プログラムを読みだした状態を示す図である。

【図 3 4】図 3 2 の通信パターンを実現する制御プログラムを読みだした状態を示す図である。 40

【図 3 5】GaAlAs/GaAs 系、InGaAs/InAsP 系、InGaAs/InAlAs 系面型発光レーザ素子並びに ADP 超格子積層膜素子構造を示す図である。

【図 3 6】プロセッサボード中央部に位置する面型発光機能素子発光の変調情報光の配光による受光エリアの広がり、各ボード間隙並びに隣接セル内の受光素子への影響を示す説明図である。

【図 3 7】従来の超並列コンピュータのバスを示す図である。 50

【図 3 8】従来の発光素子と受光素子を同一半導体基板上に集積化した例を示す図である。

【図 3 9】ボード相互の位置をずらして配置した場合を示す図である。

【図 4 0】デバイス上の素子を密度を減らし、かつ出射光 8 8 の放射角を広げることにより、素子相互の結合を行う場合を示す図である。

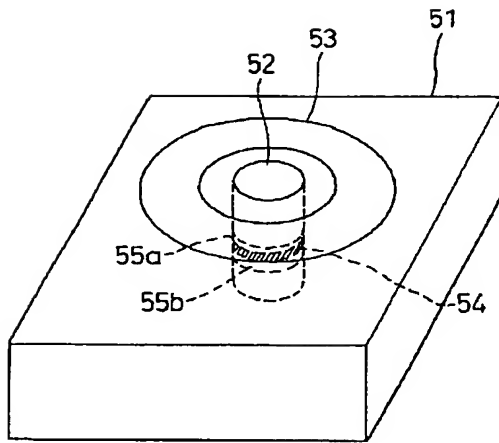
【符号の説明】

1 - 0	基板 (プロセッサボード) 0
1 - 1	基板 (プロセッサボード) 1
1 - 2	基板 (プロセッサボード) 2
1 - 3	基板 (プロセッサボード) 3
1 - 4	基板 (プロセッサボード) 4
1 - 5	基板 (プロセッサボード) 5
1 - 6	基板 (プロセッサボード) 6
1 - 7	基板 (プロセッサボード) 7
2 - 0	光デバイス 0
2 - 1	光デバイス 1
2 - 2	光デバイス 2
2 - 3	光デバイス 3
2 - 4	光デバイス 4
2 - 5	光デバイス 5
2 - 6	光デバイス 6
2 - 7	光デバイス 7
3 - 1	ミラー 1
3 - 2	ミラー 2
3 - 3	ミラー 3
3 - 4	ミラー 4
4 - 0	制御メモリ 0
4 - 1	制御メモリ 1
4 - 2	制御メモリ 2
4 - 3	制御メモリ 3
5 - 0 0	プロセッシングエレメント PE 0 0
5 - 0 1	プロセッシングエレメント PE 0 1
5 - 0 2	プロセッシングエレメント PE 0 2
5 - 0 3	プロセッシングエレメント PE 0 3
5 - 1 0	プロセッシングエレメント PE 1 0
5 - 1 1	プロセッシングエレメント PE 1 1
5 - 1 2	プロセッシングエレメント PE 1 2
5 - 1 3	プロセッシングエレメント PE 1 3
5 - 2 0	プロセッシングエレメント PE 2 0
5 - 2 1	プロセッシングエレメント PE 2 1
5 - 2 2	プロセッシングエレメント PE 2 2
5 - 2 3	プロセッシングエレメント PE 2 3
5 - 3 0	プロセッシングエレメント PE 3 0
5 - 3 1	プロセッシングエレメント PE 3 1
5 - 3 2	プロセッシングエレメント PE 3 2
5 - 3 3	プロセッシングエレメント PE 3 3
6 - 0	電気回路 0
6 - 1	電気回路 1

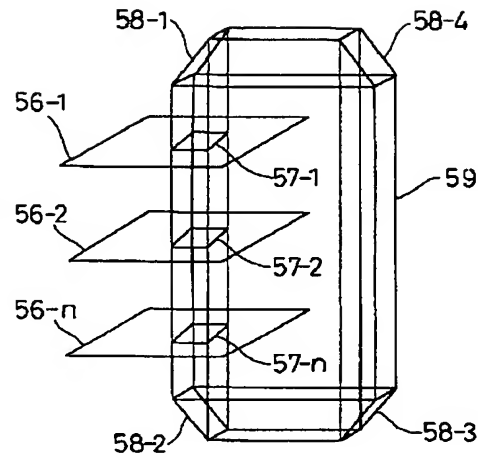
6-2 電気回路 2
 6-3 電気回路 3
 7 導波路型合波器
 8 光電変換
 9-00 光セル 0 0
 9-10 光セル 1 0
 9-20 光セル 2 0
 9-30 光セル 3 0
 9-01 光セル 0 1
 9-21 光セル 2 1
 9-31 光セル 3 1
 9-02 光セル 0 2
 9-12 光セル 1 2
 9-22 光セル 2 2
 9-32 光セル 3 2
 9-03 光セル 0 3
 9-13 光セル 1 3
 9-23 光セル 2 3
 9-33 光セル 3 3
 10-0 制御入力 0
 10-1 制御入力 1
 10-2 制御入力 2
 10-3 制御入力 3
 11-0 データ入力 0
 11-1 データ入力 1
 11-2 データ入力 2
 11-3 データ入力 3
 12-0 データ出力 0
 12-1 データ出力 1
 12-2 データ出力 2
 12-3 データ出力 3
 13 送信素子 (LD、LED、ADP)
 14 中継素子
 15 受信素子
 16 受信データ導波路
 17 受光エリア
 17-1 基準となる受光エリア
 17-2 基板がずれている場合の受光エリア
 18 高反射率多層膜
 19 光入力
 20 光デバイス基板
 21 活性領域
 22 反射面
 23 反射鏡電極
 24 制御電極
 25 マスク層
 26 光出力

27 送信中継兼用素子
 28 帯状光電変換素子
 29 出力回路
 30-1 レンズ 1
 30-2 レンズ 2
 30-3 レンズ 3
 30-4 レンズ 4
 30-5 レンズ 5
 30-6 レンズ 6
 10 30-7 レンズ 7
 30-8 レンズ 8
 31 全反射ミラー
 32 光スイッチ
 33 送信用電極
 34 中継制御電極
 36 導波路
 37 ハーフミラー
 38 光電変換層
 39 隣のセルの光素子群
 20 40 光路
 41 受信制御レジスタ
 42 冷却水
 43 穴
 44 冷却水通路
 45 金属板
 46 送信セル
 47 受信セル
 48 回折角
 49 プリント基板リング結合
 30 50 光クロスバスイッチ群
 50-1 光クロスバスイッチ群
 50-2 光クロスバスイッチ群
 50-3 光クロスバスイッチ群
 50-4 光クロスバスイッチ群
 51 半導体基板
 52 発光・透過素子
 53 受光素子
 54 活性層
 56-1 ~ 56-n ボード
 40 57-1 ~ 57-n 面状発光／受光デバイス
 65, 66-1, 66-2 マイクロプロセッサ
 68-1 ~ 68-m 受光素子
 69-1 ~ 69-m 信号検出器
 70 スイッチ制御器
 71 スイッチ
 72-1 ~ 77-m 復号器
 73 選択器

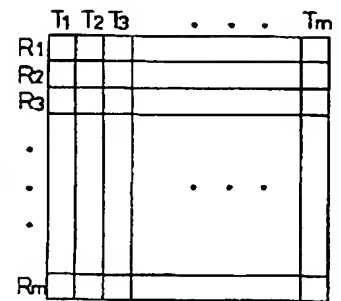
【図 1】



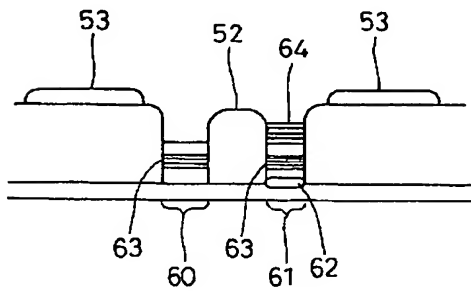
【図 2】



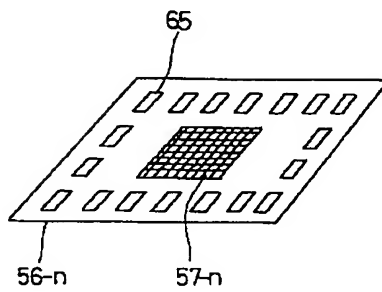
【図 5】



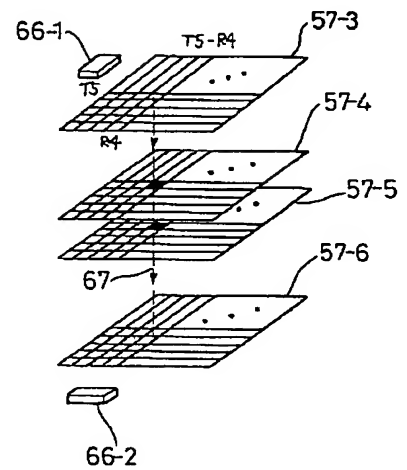
【図 3】



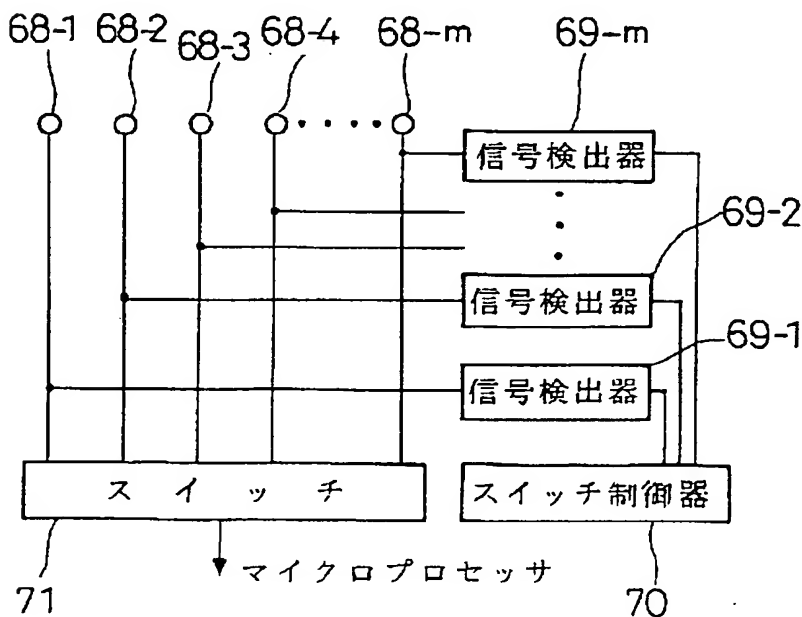
【図 4】



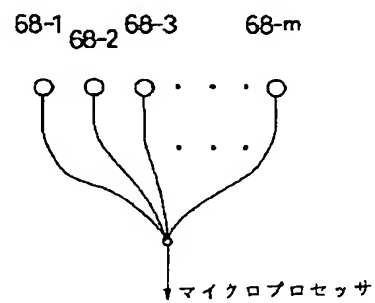
【図 6】



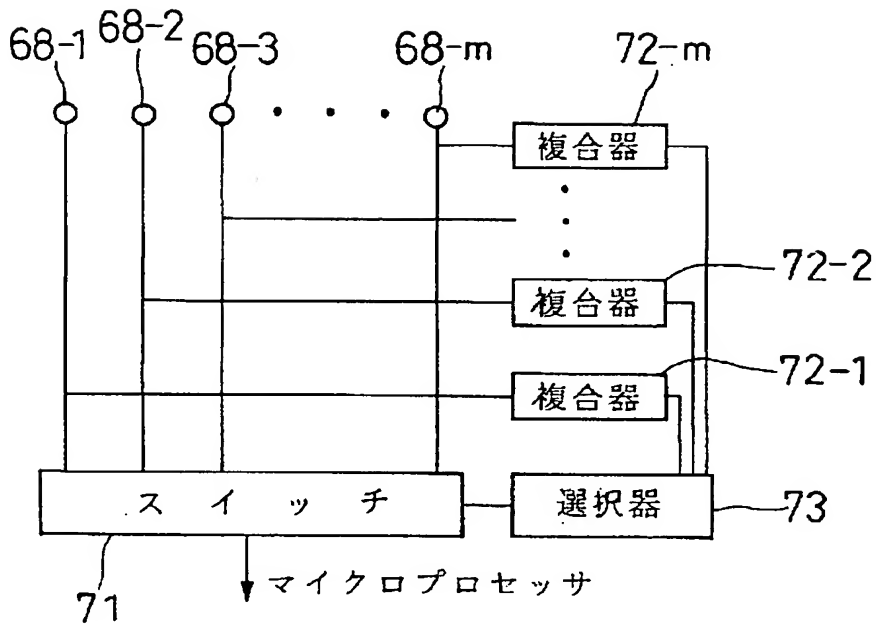
【図 7】



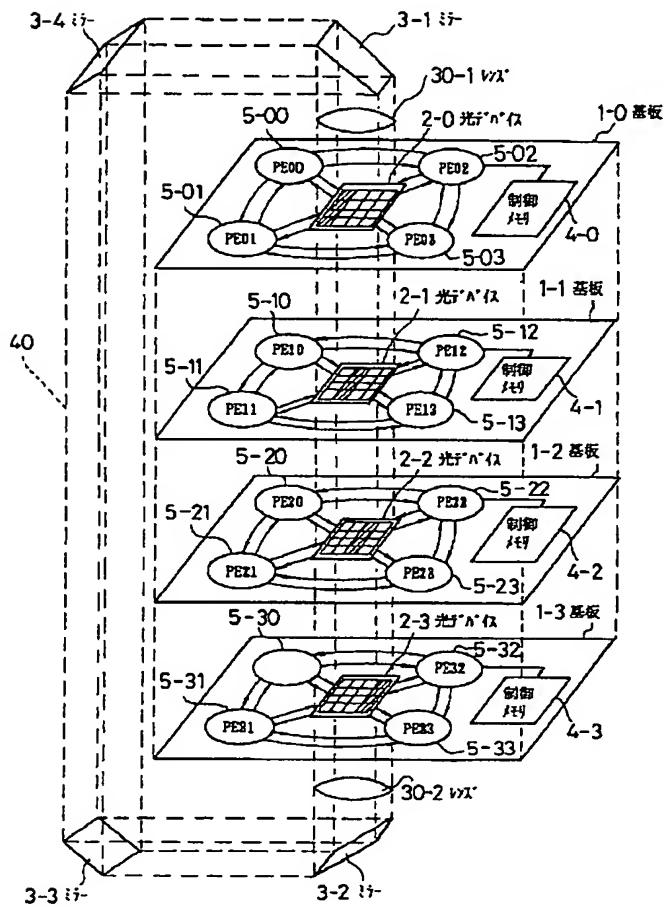
【図 9】



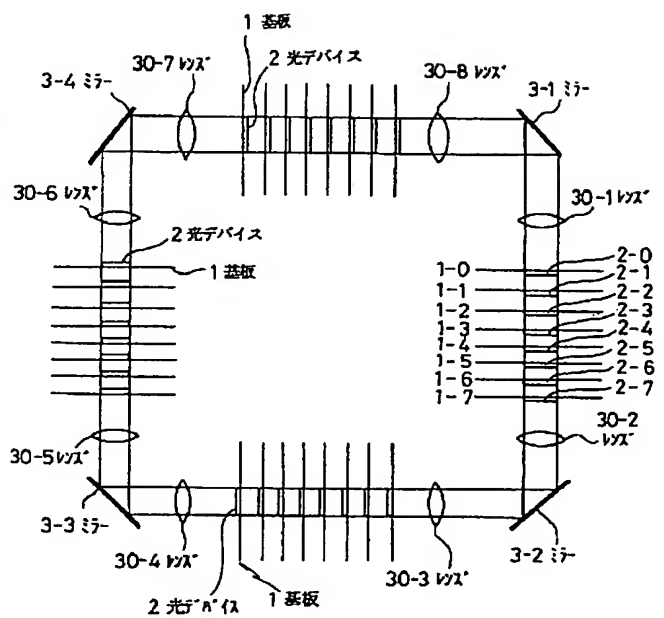
【図 8】



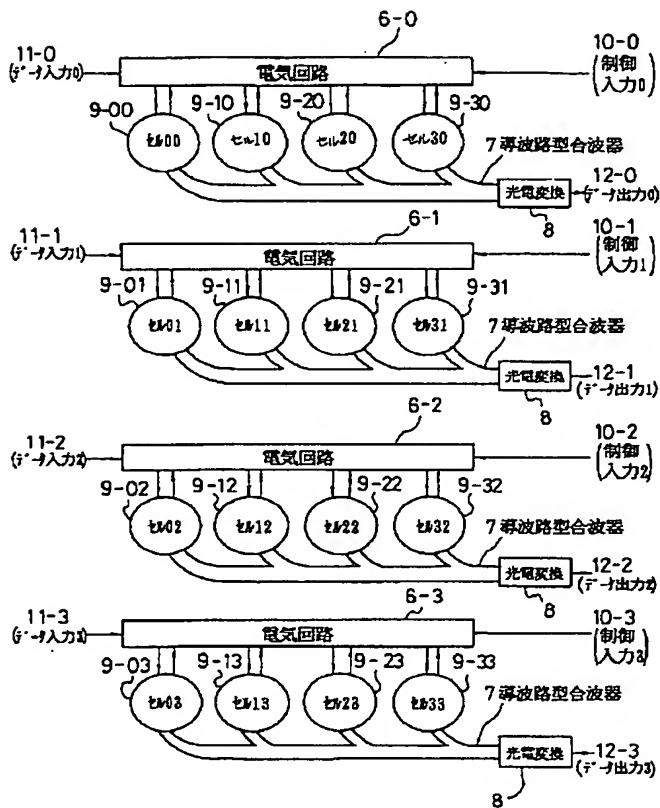
【図 10】



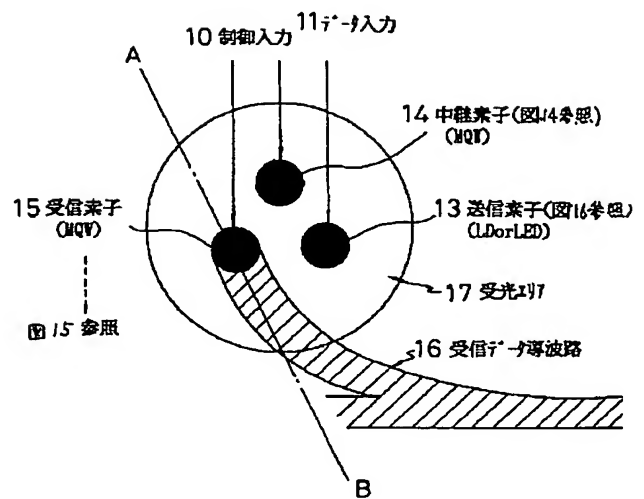
【図 11】



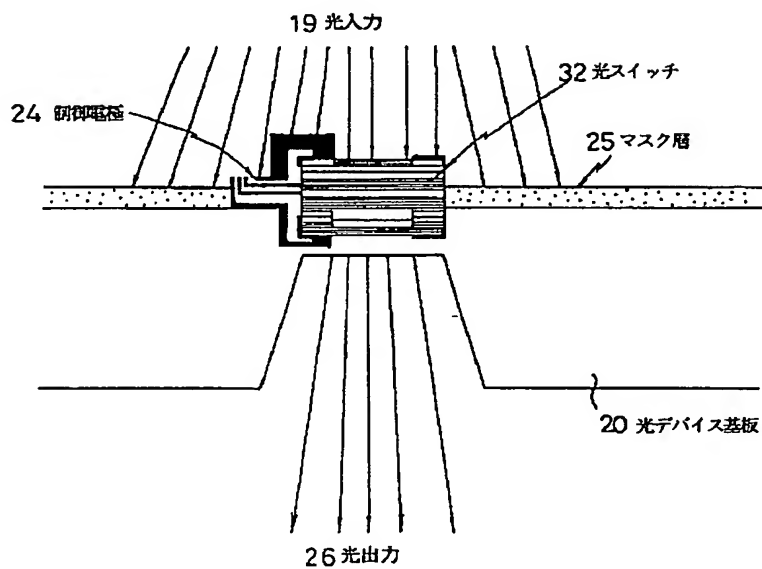
【図 1 2】



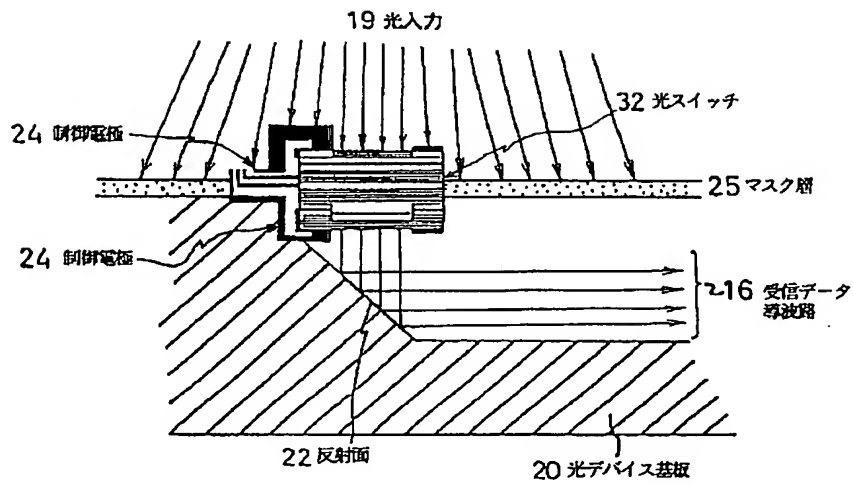
【図 1 3】



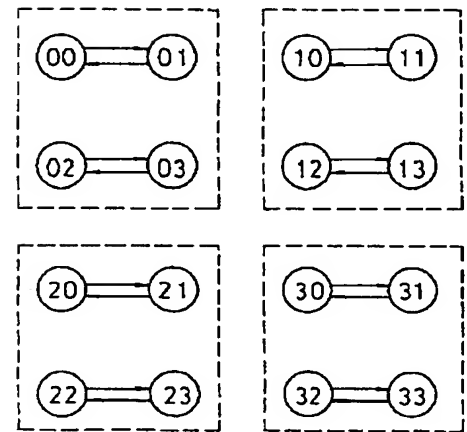
【図 1 4】



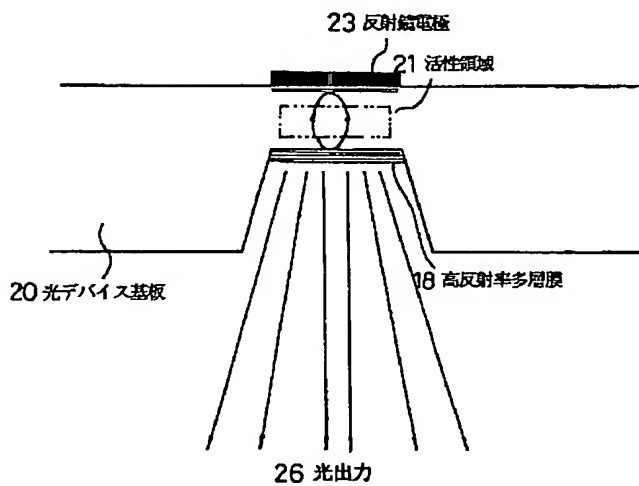
【図 15】



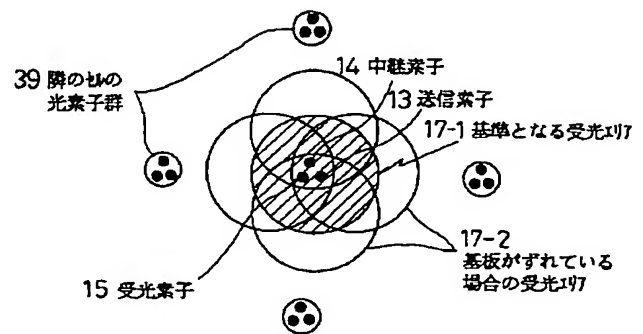
【図 29】



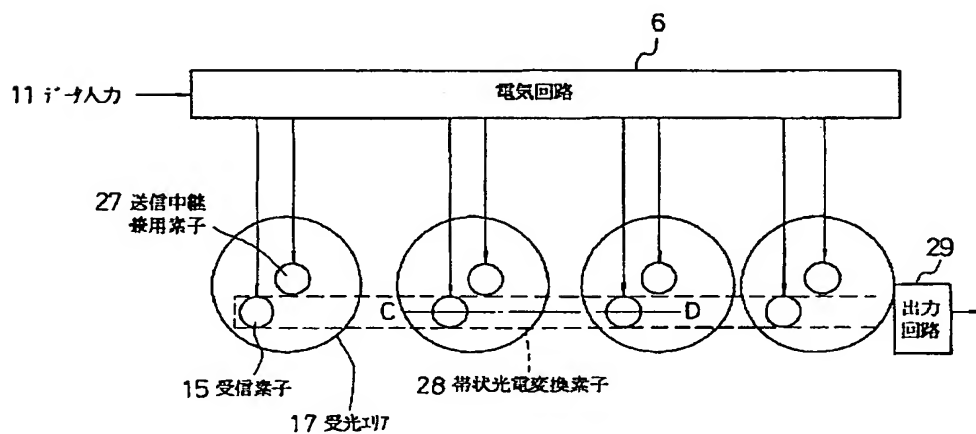
【図 16】



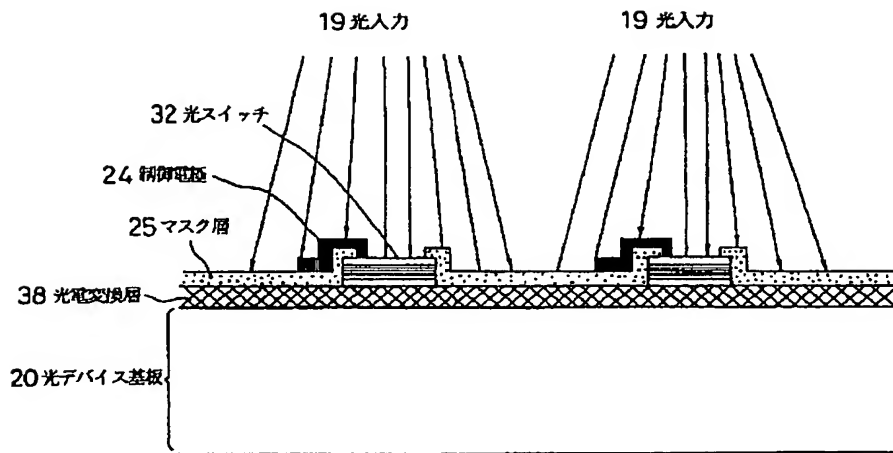
【図 21】



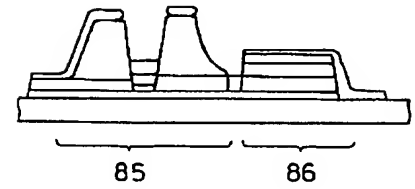
【図 17】



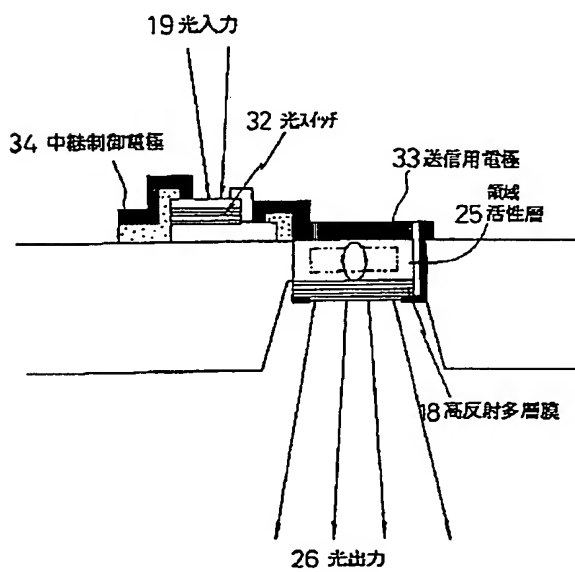
【図 1 8】



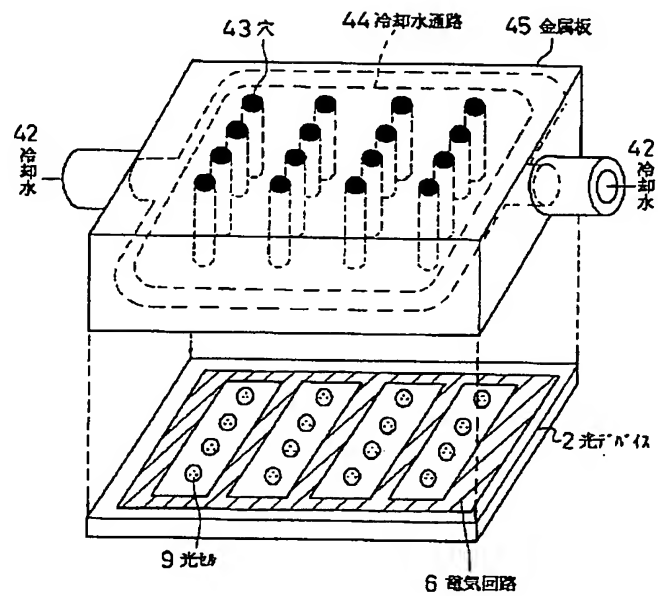
【図 3 8】



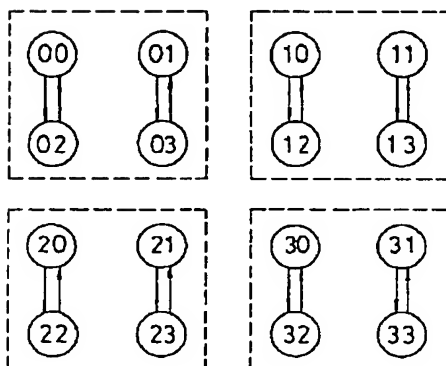
【図 1 9】



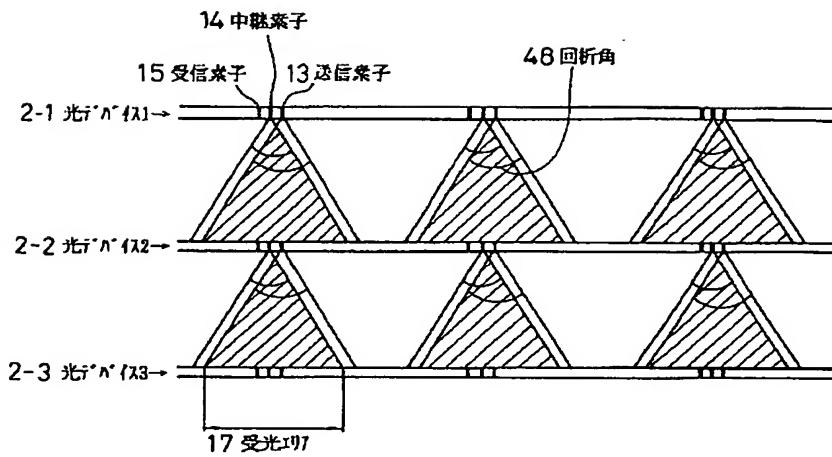
【図 2 2】



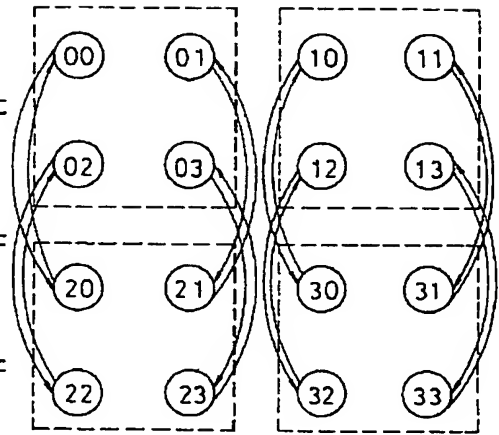
【図 3 0】



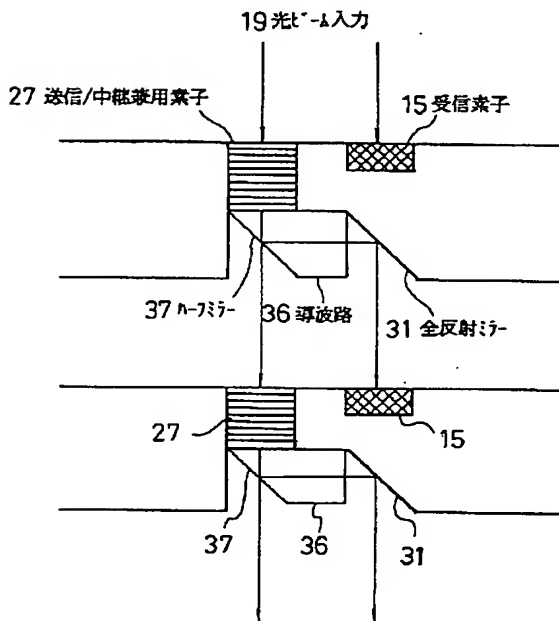
【図 2 0】



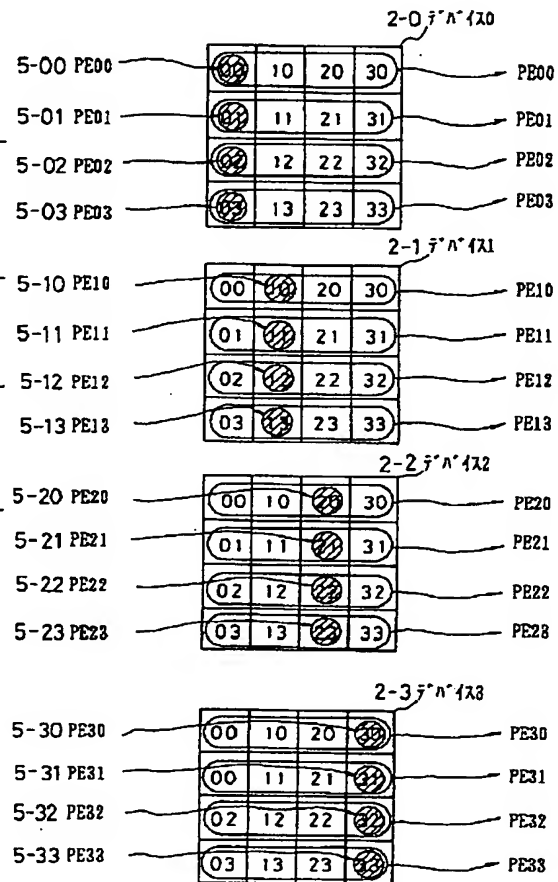
【図 3 1】



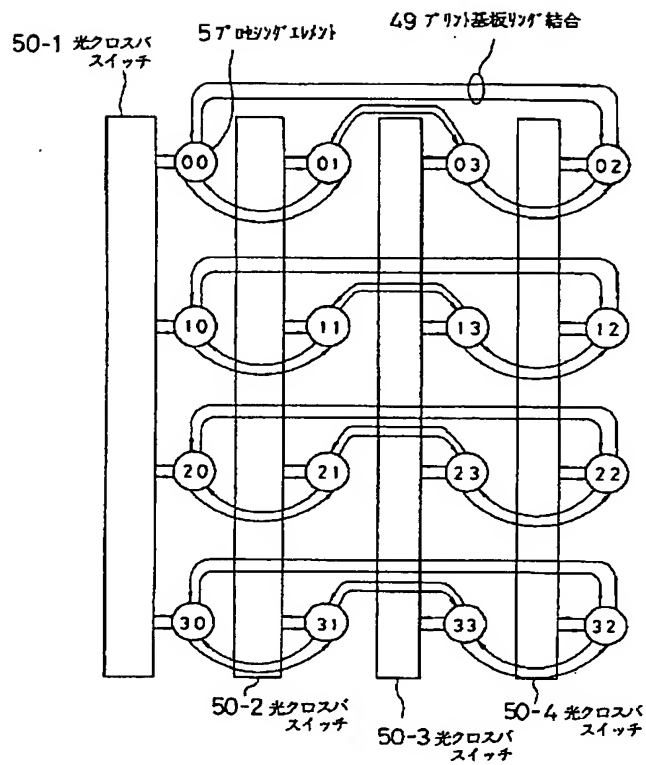
【図 2 3】



【図 2 4】



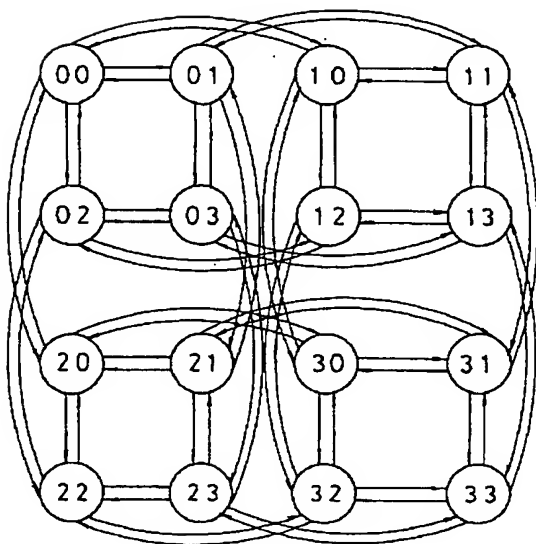
【図 25】



【图 2 6】

	y	0				1				2				3			
y	x	0	1	3	2	0	1	3	2	0	1	3	2	0	1	3	2
0	0	1	1		1	1				1				1			
	1	1	1	1			1			1					1		
	3		1	1	1			1			1					1	
	2	1		1	1				1			1					1
1	0	1				1	1		1	1				1			
	1		1			1	1	1			1				1		
	3			1			1	1	1		1					1	
	2				1	1		1	1			1					1
2	0	1				1				1	1		1	1			
	1		1				1			1	1	1			1		
	3			1				1			1	1	1			1	
	2				1				1	1		1	1				1
3	0	1				1				1				1	1		1
	1		1				1				1				1	1	1
	3			1				1			1				1	1	1
	2				1				1			1		1	1		1

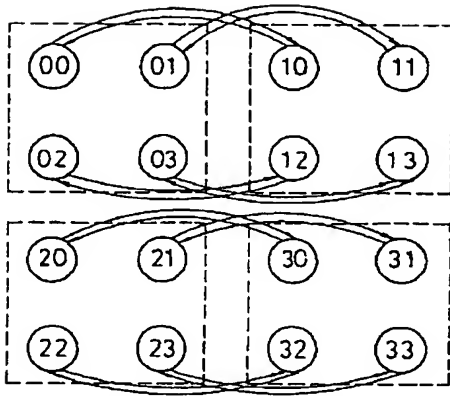
【图 27】



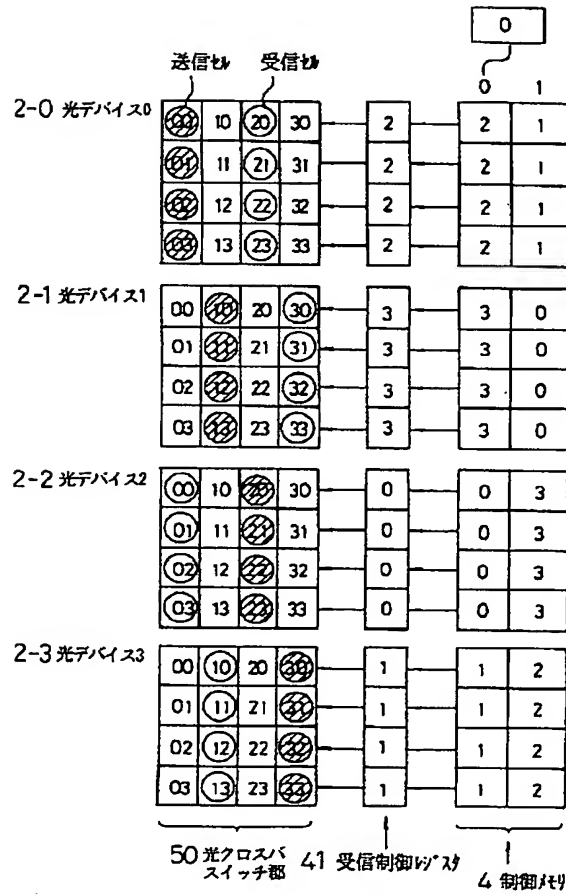
【图 28】

	y	0				1				2				3			
y	x	0	1	3	2	0	1	3	2	0	1	3	2	0	1	3	2
0	0	1	1		1	1				1							
	1	1	1	1			1				1						
	3		1	1	1			1					1				
	2	1		1	1				1					1			
1	0	1				1	1		1					1			
	1		1				1	1	1						1		
	3			1				1	1	1						1	
	2				1	1		1	1	1						1	
2	0	1								1	1		1	1			
	1		1							1	1	1			1		
	3			1							1	1	1			1	
	2				1					1		1	1				1
3	0					1				1				1	1		1
	1						1				1				1	1	1
	3							1				1				1	1
	2								1				1	1		1	1

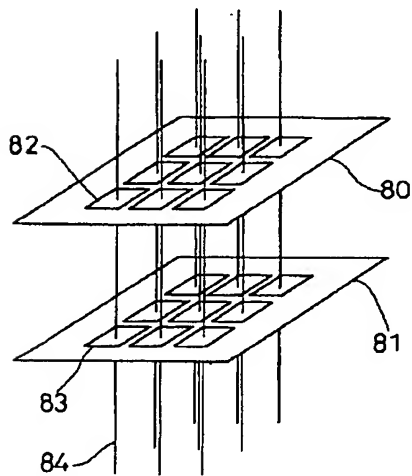
【図 3 2】



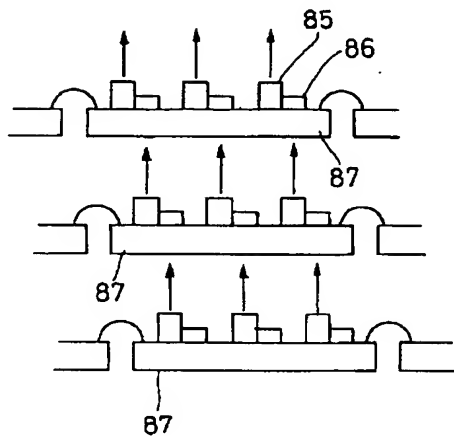
【図 3 3】



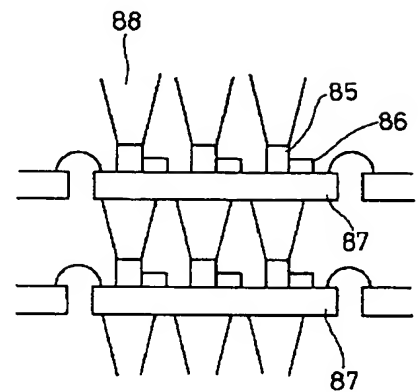
【図 3 7】



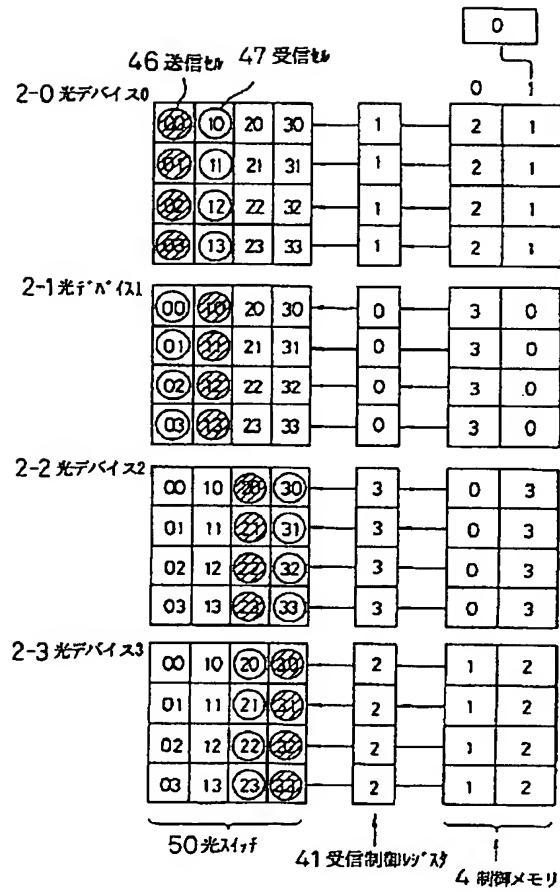
【図 3 9】



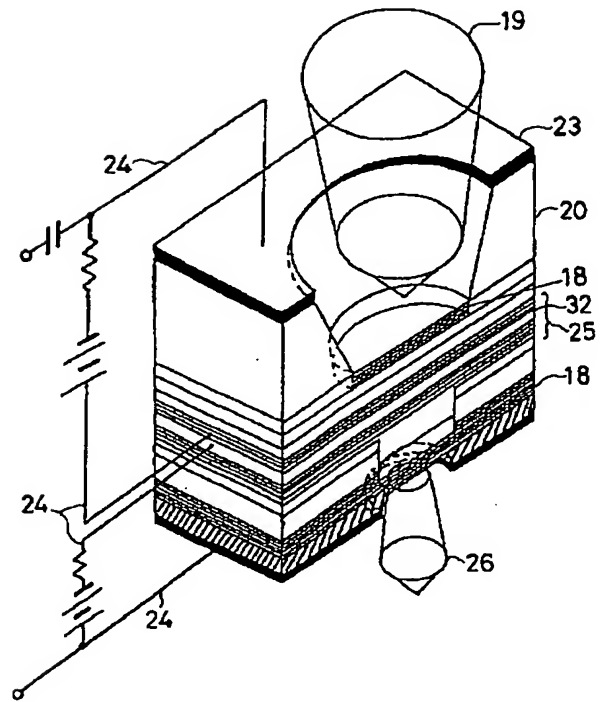
【図 4 0】



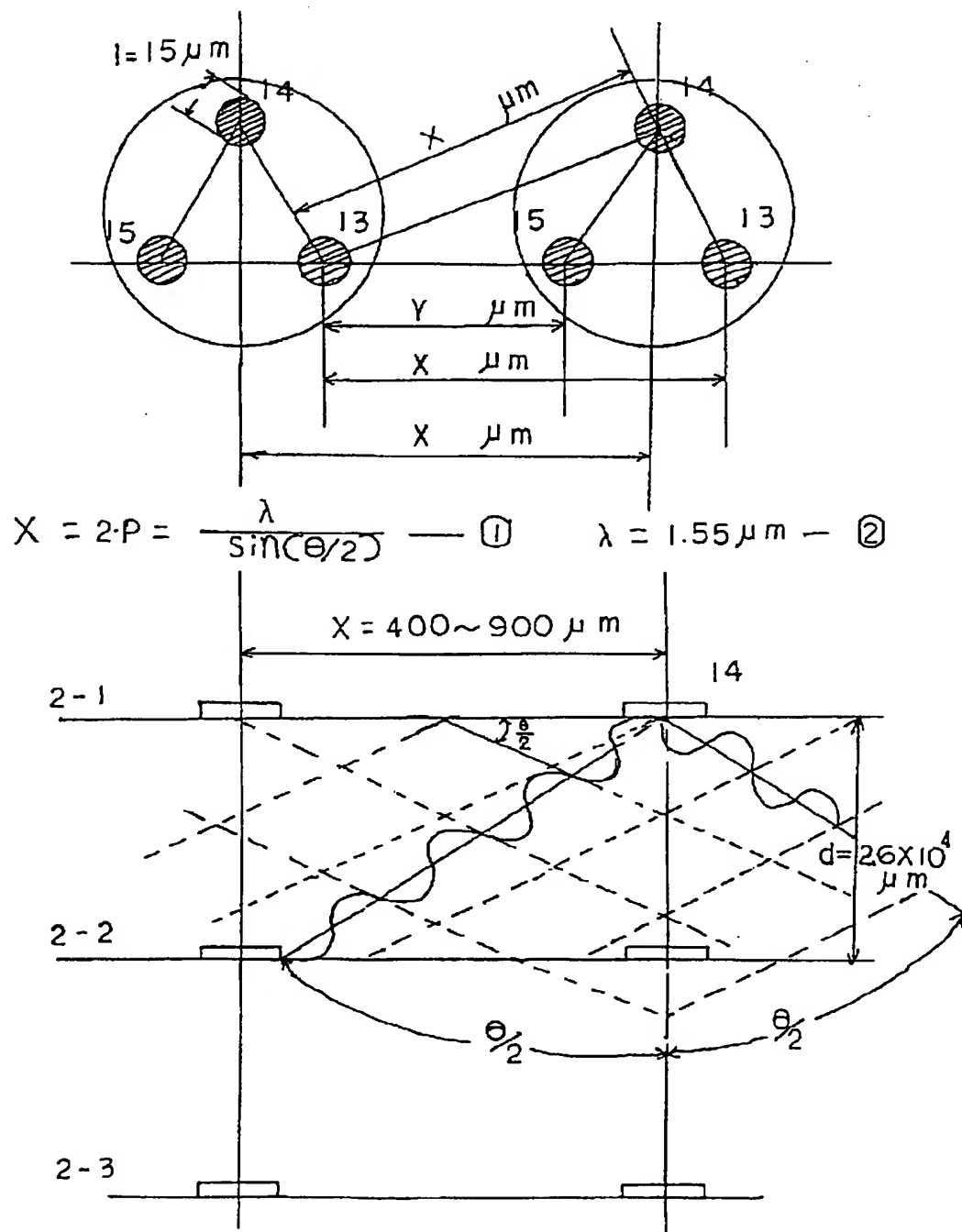
【図 3 4】



【図 3 5】



【図 3 6】



フロントページの続き

(72) 発明者 田邊 昇
 神奈川県川崎市幸区小向東芝町 1 株式会社
 社東芝総合研究所内

(72) 発明者 関戸 一紀
 神奈川県川崎市幸区小向東芝町 1 株式会社
 社東芝総合研究所内

(72)発明者 上西 克二

神奈川県川崎市幸区小向東芝町 1 株式会
社東芝総合研究所内